

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-184022

(43)Date of publication of application : 06.07.2001

(51)Int.Cl.

G09G 3/28

G09G 3/20

(21)Application number : 11-358756

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 17.12.1999

(72)Inventor : SHIOZAKI HIRONARI

TOKUNAGA TSUTOMU

SAEGUSA NOBUHIKO

(30)Priority

Priority number : 11289864 Priority date : 12.10.1999 Priority country : JP

(54) DRIVING METHOD FOR PLASMA DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving method of a plasma display panel capable of displaying a satisfactory picture even when the pulse width of a driving pulse which is applied to a plasma display panel is shortened.

SOLUTION: Each time, the writing of data with respect to one display line group among plural display line groups in a plasma display panel is completed, a sustaining discharging operation is executed with respect to respective light emitting cells belonging the one display line group.



LEGAL STATUS

[Date of request for examination]

08.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

출력 일자: 2004/9/24

발송번호 : 9-5-2004-039823814

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2

발송일자 : 2004.09.23

층(리&목특허법률사무소)

제출기일 : 2004.11.23

이영필 귀하

137-874



특허청 의견제출통지서

출원인 명칭 삼성에스디아이 주식회사 (출원인코드: 119980018058)

주소 경기 수원시 영통구 신동 575

대리인 성명 이영필 외 1 명

주소 서울 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)

출원번호 10-2002-0076217

발명의 명칭 어드레스기간과 유지기간의 혼합 방식으로 계조성을표현하는 패널구동방법 및 그 장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이 유]

이 출원의 특허청구범위 제7 - 15항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아 래]

본원은 어드레스기간과 유지기간의 혼합방식으로 계조성을 표현하는 패널구동방법 및 그 장치로 종래 PDP 구동방법에서 어드레스기간과 유지기간 사이의 시간적인 갭을 최소화하는 것을 해결하고자 하는 과제로 제시하고 있고, 그 해결수단으로 청구항 제7 - 15항은 그룹별로 어드레스기간과 유지기간이 순차적으로 수행되며 한 그룹의 유지기간 동안 이미 어드레스기간이 수행된 다른 그룹의 화소에 대해서도 선택적으로 유지방전을 수행하는 것을 특징으로 하고 있습니다.

인용발명(일본특허공개공보 제2001-184022호 공개일 2001. 7. 6)은 플라즈마 디스플레이 패널의 구동방법으로 본원발명과 비교하면

(i) 목적 면에서 인용발명은 PDP 구동방법을 특징으로 하고 있어 본원발명과 기술분야가 동일하고,

(ii) 구성 면에서 인용발명은 화면을 다수의 블록(S1~S3)으로 분할하고 그룹별로 어드레스기간과 유지기간을 순차적으로 수행하며 한 그룹의 유지기간 동안 이미 어드레스방전이 수행된 다른 그룹의 유지방전을 선택적으로 수행하고 있어 본원발명과 해결수단이 유사하고,

(iii) 효과 면에서 인용발명은 본원발명과 기술분야 및 해결수단이 유사하여 작용효과가 유사하다고 인정됩니다. (도면20 및 대응되는 상세한 설명 참조)

따라서, 본원 청구항 제7 - 15항은 PDP 기술분야의 통상의 지식을 가진 자가 인용발명에 의하여 용이하게 발명할 수 있습니다.

출력 일자: 2004/9/24

[첨 부]


첨부1 일본공개특허공보 평13-184022호(2001.07.06) 1부. 끝.

2004.09.23

특허청

전기전자심사국

전자심사담당관실

심사관 정재현 

<<안내>>

문의사항이 있으시면 ☎ 042-481-5672 로 문의하시기 바랍니다.

서식 또는 절차에 대하여는 특허고객 콜센터 ☎1544-8080으로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-184022

(P2001-184022A)

(43) 公開日 平成13年7月6日 (2001.7.6)

(51) Int.Cl.	識別記号	F I	ターミナル (参考)
G 0 9 G 3/28	6 1 1	G 0 9 G 3/20	6 1 1 D 5 C 0 8 0
3/20	6 2 4		6 2 4 N
	6 4 1	3/28	6 4 1 H
			W
			H

審査請求 未請求 請求項の数 9 O L (全 30 頁)

(21) 出願番号 特願平11-358758

(22) 出願日 平成11年12月17日 (1999. 12. 17)

(31) 優先権主張番号 特願平11-289864

(32) 優先日 平成11年10月12日 (1999. 10. 12)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 植崎 裕也

山梨県中巨摩郡田舎町西花輪2680番地 バ

イオニア株式会社内

(72) 発明者 植永 勉

山梨県中巨摩郡田舎町西花輪2680番地 バ

イオニア株式会社内

(74) 代理人 100079119

弁理士 藤村 元彦

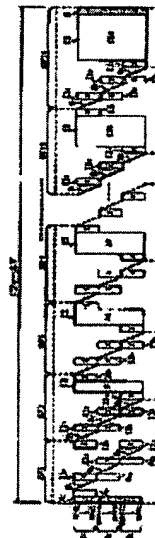
最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 プラズマディスプレイパネルに印加する駆動パルスのパルス幅を短くしても良好な画像表示を行うことが出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 プラズマディスプレイパネルにおける複数の表示ラインの内の1表示ライン群に対する画素データ送信が終了する度に、その1表示ライン群に属する発光セルの各々に対して維持放電動作を実行する。



【特許請求の範囲】

【請求項 1】 複数の表示ライン各々に対応した行電極と前記行電極に交叉して配列された列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、前記表示ライン各々を複数の表示ライン群でグループ化すると共に入力映像信号の単位表示期間を複数の前記表示期間に分割し、

前記分割表示期間の内の先頭の前記分割表示期間においてのみ全ての前記放電セルを発光セルの状態に初期化するリセット放電を生起せしめるリセット行程を実行し、

前記分割表示期間の各々において、

前記入力映像信号に対応した画素データに応じて前記放電セルの各々を前記発光セル又は非発光セルのいずれか一方の状態に設定する画素データ書込行程と、

前記表示ライン群各々の内の1の表示ライン群に属する前記放電セルに対する前記画素データ書込行程が終了する度に前記1の前記表示ライン群に属する前記発光セルを発光させるべき維持放電を生起せしめる発光維持行程と、を実行することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2】 前記単位表示期間内でのいずれか1の前記分割表示期間での前記画素データ書込行程においてのみで前記放電セルを前記非発光セルの状態に設定する選択消去放電を生起せしめることを特徴とする請求項 1記載のプラズマディスプレイパネルの駆動方法。

【請求項 3】 前記先頭の前記分割表示期間において、前記表示ライン群各々の内の1の表示ライン群に属する前記放電セルに対する前記画素データ書込行程の直前に前記1の表示ライン群に属する前記放電セル各々に対してブライミング放電を生起せしめるブライミング行程を実行することを特徴とする請求項 1記載のプラズマディスプレイパネルの駆動方法。

【請求項 4】 前記先頭の前記分割表示期間を除く前記分割表示期間の各々において、前記発光維持行程の終了後に全ての前記発光セルを一斉に維持放電せしめる第2の発光維持行程を実行することを特徴とする請求項 1記載のプラズマディスプレイパネルの駆動方法。

【請求項 5】 前記先頭の前記分割表示期間を除く前記分割表示期間の各々において、前記表示ライン群各々の内の1の表示ライン群に属する前記放電セルに対する前記画素データ書込行程の直前に前記1の表示ライン群に属する前記発光セルを発光させるべき維持放電を生起せしめる第3の発光維持行程を実行することを特徴とする請求項 1記載のプラズマディスプレイパネルの駆動方法。

【請求項 6】 複数の表示ライン各々に対応した行電極と前記行電極に交叉して配列された列電極との各交点に

て1画素に対応した放電セルを形成しているプラズマディスプレイパネルを入力映像信号に応じて随時駆動するプラズマディスプレイパネルの駆動方法であって、前記入力映像信号の単位表示期間を複数の分割表示期間各々の内の先頭の前記分割表示期間においてのみで全ての前記放電セルを発光セルの状態に初期化するリセット放電を生起せしめるリセット行程を実行し、

前記分割表示期間の各々において、

前記入力映像信号に基づく各画素毎の画素データに従って前記放電セルの各々を前記表示ライン群に走査しながら前記発光セル又は非発光セルのいずれか一方の状態に設定して行く画素データ書込行程と、

夫々が複数の前記表示ラインからなる表示ライン群各々の内の1の表示ライン群に属する前記放電セルに対する前記画素データ書込行程が終了する度に前記1の前記表示ライン群に属する前記発光セルを発光させる維持放電を所定回数だけ生起せしめる第1発光維持行程と、

全ての前記発光セルを一斉に発光させる前記維持放電を前記分割表示期間各々の重み付けに対応した回数だけ生起せしめる第2発光維持行程と、を実行することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 7】 前記表示ライン群各々の内の1の表示ライン群に属する前記放電セルに対する前記画素データ書込行程の直前に前記1の前記表示ライン群に属する前記発光セルを発光させる前記維持放電を生起せしめる第3発光維持行程を更に実行することを特徴とする請求項 6記載のプラズマディスプレイパネルの駆動方法。

【請求項 8】 前記第1発光維持行程及び前記第3発光維持行程と同一時期に、前記第1発光維持行程及び前記第3発光維持行程各々の実施されている表示ライン群を除く少なくとも1の表示ライン群に属する前記発光セルを発光させる前記維持放電を生起せしめる第4発光維持行程を更に実行することを特徴とする請求項 6及び7記載のプラズマディスプレイパネルの駆動方法。

【請求項 9】 前記画素データ書込行程において、前記表示ライン各々に対する前記走査の方向を1フィールド毎に変更することを特徴とする請求項 6記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、プラズマディスプレイパネルの駆動方法に関する。

【0002】

【従来の技術】 近年、表示装置の大画面化にともなって薄型ものが要求され、各種の薄型表示デバイスが実用化されている。交流放電型のプラズマディスプレイパネルは、この薄型表示デバイスの1つとして注目されている。図1は、かかるプラズマディスプレイパネルと、これを駆動する駆動装置とからなるプラズマディスプレイ装置の概略構成を示す図である。

【0003】図1において、プラズマディスプレイパネルとしてのPDP10は、データ電極としての m 個の列電極 $D1 \sim Dm$ と、これら列電極各々と交叉して配列されている夫々 n 個の行電極 $X1 \sim Xn$ 及び行電極 $Y1 \sim Yn$ を備えている。これら行電極 $X1 \sim Xn$ 及び行電極 $Y1 \sim Yn$ は、一対の行電極 X 及び Y にてPDP10における1行分に対応した表示ラインを組んでいる。これら列電極 D と、行電極 X 及び Y は、放電空間を挟んで互いに対向して配置された2つのおうす電極各々に形成されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0004】この際、各放電セルは、放電現象を利用して発光を行うものであるが、“発光”及び“非発光”の2つの状態しかもたない。つまり、最低輝度(非発光状態)と、最高輝度(発光状態)の2階調分の輝度しか表現出来ないのである。そこで、駆動装置100は、このようなPDP10に対して、入力された映像信号に対応した中間調の輝度表示を実現させるべく、サブフィールド法を用いた階調駆動を実施する。

【0005】サブフィールド法では、入力された映像信号を各画素毎に対応した例えば4ビットの画素データに変換し、この4ビットのビット桁各々に対応させて1フィールドを図2に示されるが如く4個のサブフィールドSF1～SF4に分割する。図3は、1サブフィールド内において、駆動装置100が上記PDP10の行電極対及び列電極に印加する各種駆動パルスの印加タイミングを示す図である。

【0006】図3に示されるように、先ず、駆動装置100は、正極性のリセットパルス $R Px$ を行電極 $X1 \sim Xn$ 、負極性のリセットパルス $R Py$ を行電極 $Y1 \sim Yn$ に印加する。これらリセットパルス $R Px$ 及び $R Py$ の印加に応じて、PDP10の全ての放電セルがリセット放電され、各放電セル内には一様に所定量の帯電荷が形成される。その後、駆動装置100は、消去パルス $E P$ をPDP10の行電極 $X1 \sim Xn$ に一斉に印加する。これにより、全ての放電セルには消去放電が生起され、上記帯電荷が消滅する(一斉リセット行程 $R o$)。すなわち、かかる一斉リセット行程 $R o$ によれば、PDP10における全ての放電セルは、“非発光セル”の状態に初期化されるのである。

【0007】次に、駆動装置100は、入力された映像信号に対応した1行分毎の画素データパルス群 $D P1 \sim D Pn$ を順次、列電極 $D1 \sim Dm$ に印加して行くと共に、各画素データパルス群 $D P$ の印加タイミングにて走査パルス $S P$ を発生し、これを行電極 $Y1 \sim Yn$ へと順次印加して行く(画素データ書込行程 $W o$)。この際、走査パルス $S P$ が印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電(選択書込放電)が生じて帯電荷が形成される。これにより、上記一斉リセット行程 $R o$ において“非発光セル”の状態に

初期化された放電セルは、“発光セル”に推移する。一方、走査パルス $S P$ が印加されたものの、低電圧の画素データパルスが印加された放電セルには上記選択書込放電は生起されず、上記一斉リセット行程 $R o$ にて初期化された状態、つまり“非発光セル”の状態が保持される。

【0008】次に、駆動装置100は、図3に示されるように、維持パルス $I P x$ を繰り返し行電極 $X1 \sim Xn$ に印加すると共に、かかる維持パルス $I P x$ とはそのタイミングをずらして維持パルス $I P y$ を繰り返し行電極 $Y1 \sim Yn$ に印加する(発光維持行程 $I o$)。尚、1サブフィールド内において維持パルス $I P x$ 及び $I P y$ が印加される回数は、図2に示されるが如く、各サブフィールドの重み付けに応じて設定されている。ここで、帯電荷が存在している放電セル、すなわち“発光セル”のみが、これら維持パルス $I P x$ 及び $I P y$ が印加される度に維持放電する。つまり、上記画素データ書込行程 $W o$ において“発光セル”に設定された放電セルのみが、図2に示されているが如き、サブフィールドの重み付けに対応した回数分だけ維持放電に伴う発光を繰り返し、その発光状態を維持するのである。

【0009】駆動装置100は、以上の如き動作を各サブフィールド毎に実施する。この際、各サブフィールドで生起された上記維持放電の回数の合計(1フィールドでの)により、映像信号に対応した中間調の輝度が表現されるのである。尚、上記サブフィールド法によって表現出来る輝度の階調数は、分割されたサブフィールドの数が多いほど多くなる。ところが、1フィールドの表示期間は予め定められているので、サブフィールドの数を多くする為には、図3に示されるが如き各種駆動パルスのパルス幅を短くする必要がある。

【0010】しかしながら、駆動パルスのパルス幅を短くすると誤放電が生じるようになり、結果として良好な表示品質が得られなくなるといった問題が生じた。

【0011】

【発明が解決しようとする課題】本発明は、かかる問題を解決すべく為されたものであり、プラズマディスプレイパネルに印加する駆動パルスのパルス幅を短くしても良好な画像表示を行うことが出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明によるプラズマディスプレイパネルの駆動方法は、複数の表示ライン各々に対応した行電極と前記行電極に交叉して配列された列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、前記表示ライン各々を複数の表示ライン群でグループ化すると共に入力映像信号の単位表示期間を複数の分割表示期間に分割し、前記分割表示期間の内の先頭の前記分割表示期間においてのみ全ての前記放電セルを発光セルの状態に初期化するリセット放電を生起せしめる

リセット行程を実行し、前記分割表示期間の各々において、前記入力映像信号に対応した画素データに応じて前記放電セルの各々を前記発光セル又は非発光セルのいずれか一方の状態に設定する画素データ送達行程と、前記表示ライン群各々の内の1の表示ライン群に属する前記放電セルに対する前記画素データ送達行程が終了する度に前記1の前記表示ライン群に属する前記発光セルを発光させるべき維持放電を生起せしめる発光維持行程とを実行する。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図を参照しつつ説明する。図4は、本発明による駆動方法に基づいてプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の概略構成を示す図である。図4に示されるように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしてのPDP10と、A/D変換器1、駆動制御回路2、データ変換回路30、メモリ4、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ9からなる駆動部と、から構成されている。

【0014】PDP10は、アドレス電極としてのm個の列電極D1～Dmと、これら列電極各々と交叉して配列されている夫々2n個の行電極X1～X2n及び行電極Y1～Y2nを備えている。この際、行電極X及び行電極Yの一方にて、PDP10における1つの表示ラインに対応した行電極を形成している。列電極D、行電極X及びYは放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0015】A/D変換器1は、駆動制御回路2から供給されるクロック信号に応じて、入力されたアナログの入力映像信号をサンプリングしてこれを1画素毎に対応した例えば8ビットの画素データDに変換し、これをデータ変換回路30に供給する。図5は、かかるデータ変換回路30の内部構成を示す図である。

【0016】図5に示されるように、データ変換回路30は、第1データ変換回路32、多階調化処理回路33及び第2データ変換回路34によって構成される。第1データ変換回路32は、A/D変換器1から供給された8ビット(0～255)の画素データDを図6に示されるが如き変換特性に従って、8ビット(0～255)の変換画素データDHに変換して多階調化処理回路33に供給する。例えば、第1データ変換回路32は、図7及び図8に示されるデータ変換テーブルに基づいて、画素データDを変換画素データDHに変換する。

【0017】このように、後述する多階調化処理回路33の前段に第1データ変換回路32を設けて表示階調数、多階調化による圧縮ビット数に合わせたデータ変換を施すことにより、多階調化処理による輝度飽和及び表示階調がビット境界にない場合に生じる表示特性の平坦

部の発生(すなわち、階調歪みの発生)を防止する。図9は、多階調化処理回路33の内部構成を示す図である。

【0018】図9に示されるように、かかる多階調化処理回路33は、誤差拡散処理回路330及びディザ処理回路331から構成される。まず、誤差拡散処理回路330におけるデータ分離回路331は、上記第1データ変換回路32から供給された8ビットの変換画素データDH中の上位6ビット分を表示データ、下位2ビット分を誤差データとして夫々分離する。加算器332は、かかる誤差データとしての第1変換画素データDH中の下位2ビット分と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算して得た加算値を遅延回路336に供給する。遅延回路336は、加算器332から供給された加算値を、画素データのクロック周期と同一の時間を有する遅延時間Dだけ遅らせ、これを遅延加算信号AD1として上記係数乗算器335及び遅延回路337に夫々供給する。係数乗算器335は、上記遅延加算信号AD1に所定係数値K1(例えば、"7/16")を乗算して得られた乗算結果を上記加算器332に供給する。遅延回路337は、上記遅延加算信号AD1を更に(1水平走査期間-上記遅延時間D×4)なる時間だけ遅延させたものを遅延加算信号AD2として遅延回路338に供給する。遅延回路338は、かかる遅延加算信号AD2を更に上記遅延時間Dだけ遅延させたものを遅延加算信号AD3として係数乗算器339に供給する。又、遅延回路338は、かかる遅延加算信号AD2を更に上記遅延時間D×2なる時間分だけ遅延させたものを遅延加算信号AD4として係数乗算器340に供給する。更に、遅延回路338は、かかる遅延加算信号AD2を上記遅延時間D×3なる時間分だけ遅延させたものを遅延加算信号AD5として係数乗算器341に供給する。係数乗算器339は、上記遅延加算信号AD3に所定係数値K2(例えば、"3/16")を乗算して得られた乗算結果を加算器342に供給する。係数乗算器340は、上記遅延加算信号AD4に所定係数値K3(例えば、"5/16")を乗算して得られた乗算結果を加算器342に供給する。係数乗算器341は、上記遅延加算信号AD5に所定係数値K4(例えば、"1/16")を乗算して得られた乗算結果を加算器342に供給する。加算器342は、上記係数乗算器335、340及び341各々から供給された乗算結果を加算して得られた加算信号を上記遅延回路334に供給する。遅延回路334は、かかる加算信号を上記遅延時間Dなる時間分だけ遅延させて上記加算器332に供給する。加算器332は、上記誤差データ(第1変換画素データDH中の下位2ビット)と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算し、この際、桁上げがない場合には論理レベル"0"、桁上げがある場合には論理レベル"1"のキャリアウト信号C0を発生して加算器333に供給する。

加算器333は、上記表示データ(第1変換画像データDH中の上位6ビット分)に、上記キャリアアウト信号C0を加算したものを6ビットの誤差拡散処理画像データE0として出力する。

【0019】以下に、かかる構成からなる誤差拡散処理回路330の動作について説明する。例えば、図10に示されるが如きPDP10の画像G(j,k)に対応した誤差拡散処理画像データE0を求める場合、先ず、かかる画像G(j,k)の左側の画像G(j,k-1)、左斜め上の画像G(j-1,k-1)、真上の画像G(j-1,k)、及び右斜め上の画像G(j+1,k+1)各々に対応した各誤差データ、すなわち、画像G(j,k-1)に対応した誤差データ：遅延加算信号A01

画像G(j-1,k+1)に対応した誤差データ：遅延加算信号A03

画像G(j-1,k)に対応した誤差データ：遅延加算信号A04

画像G(j+1,k-1)に対応した誤差データ：遅延加算信号A05

各々に対して、上述した如き所定の係数値K1~K4をもって重み付け加算を実施する。次に、この加算結果に、第1変換画像データDH中の下位2ビット分、すなわち画像G(j,k)に対応した誤差データを加算し、この取得られた1ビットのキャリアアウト信号C0を第1変換画像データDH中の上位6ビット分、すなわち画像G(j,k)に対応した表示データに加算したものを誤差拡散処理画像データE0とする。

【0020】すなわち、誤差拡散処理回路330は、第1変換画像データDH中の上位6ビット分を表示データ、残りの下位2ビットを誤差データとして捉え、周辺画像{G(j,k-1)、G(j-1,k+1)、G(j-1,k)、G(j+1,k-1)}各々の誤差データを重み付け加算したものを、上記表示データに反映させるようにしている。かかる動作により、原画像{G(j,k)}における下位2ビットに対応した輝度成分が上記周辺画像によって擬似的に表現され、それ故に8ビットよりも少ないビット数、すなわち6ビット分の表示データにて、上記8ビット分の画像データと同等の輝度階調表現が可能になるのである。

【0021】尚、この誤差拡散の係数値が各画像に対して一定に加算されていると、誤差拡散パターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、後述するディザ係数の場合と同様に4つの画像各々に割り当てべき誤差拡散の係数K1~K4を1フィールド(フレーム)毎に変更するようにしても良い。

【0022】ディザ処理回路350は、かかる誤差拡散処理回路330から供給された誤差拡散処理画像データE0にディザ処理を施すことにより、6ビットの誤差拡散処理画像データE0と同等な輝度階調レベルを維持しつつもビット数を更に4ビットに減らした多階調化処理

画像データD0を生成する。尚、かかるディザ処理では、隣接する複数個の画像により1つの中間表示レベルを表現するものである。例えば、8ビットの画像データの内の上位6ビットの画像データを用いて8ビット相当の階調表示を行う場合、左右、上下に互いに隣接する4つの画像を1組とし、この1組の各画像に対応した画像データ各々に、互いに異なる係数値からなる4つのディザ係数e~dを夫々割り当てて加算する。かかるディザ処理によれば、4画像で4つの異なる中間表示レベルの組み合わせが発生することになる。よって、例えば画像データのビット数が6ビットであっても、表現出来る輝度階調レベルは4倍、すなわち、8ビット相当の中間調表示が可能となるのである。

【0023】しかしながら、ディザ係数e~dなるディザパターンが各画像に対して一定に加算されていると、このディザパターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、ディザ処理回路350においては、4つの画像各々に割り当てべき上記ディザ係数e~dを1フィールド毎に変更するようにしている。

【0024】図11は、かかるディザ処理回路350の内部構成を示す図である。図11において、ディザ係数発生回路352は、互いに隣接する4つの画像毎に4つのディザ係数a、b、c、dを発生してこれらを順次加算器351に供給する。これらディザ係数e~d各々は、例えば、図12に示されるように、第j行に対応した画像G(j,k)及び画像G(j,k+1)、第(j+1)行に対応した画像G(j+1,k)及び画像G(j+1,k+1)なる互いに隣接した4つの画像各々に割り当てられる。ディザ係数発生回路352は、これら4つの画像各々に割り当てべき上記ディザ係数e~dを図12に示されるように1フィールド毎に変更して行く。

【0025】すなわち、ディザ係数発生回路352は、最初の第1フィールドにおいては、

画像G(j,k) : ディザ係数a

画像G(j,k+1) : ディザ係数b

画像G(j+1,k) : ディザ係数c

画像G(j+1,k+1) : ディザ係数d

次の第2フィールドにおいては、

画像G(j,k) : ディザ係数b

画像G(j,k+1) : ディザ係数a

画像G(j+1,k) : ディザ係数d

画像G(j+1,k+1) : ディザ係数c

次の第3フィールドにおいては、

画像G(j,k) : ディザ係数d

画像G(j,k+1) : ディザ係数c

画像G(j+1,k) : ディザ係数b

画像G(j+1,k+1) : ディザ係数a

そして、第4フィールドにおいては、

画像G(j,k) : ディザ係数c

画素 $G(j, k+1)$: ディザ係数 d
 画素 $G(j+1, k)$: ディザ係数 e
 画素 $G(j+1, k+1)$: ディザ係数 b
 の如き割り当てにてディザ係数 $a \sim d$ を循環して繰り返し発生し、これを加算器 351 に供給する。ディザ係数発生回路 352 は、上述した如き第 1 フィールド～第 4 フィールドの動作を繰り返し実行する。すなわち、かかる第 4 フィールドでのディザ係数発生動作が終了したら、再び、上記第 1 フィールドの動作に戻って、前述した動作を繰り返すのである。加算器 351 は、上記誤差拡散処理回路 330 から供給されてくる上記画素 $G(j, k)$ 、画素 $G(j, k+1)$ 、画素 $G(j+1, k)$ 、及び画素 $G(j+1, k+1)$ 各々に対応した誤差拡散処理画素データ E の各々に、上述の如く各フィールド毎に割り当てられたディザ係数 $a \sim d$ を夫々加算し、この際得られたディザ加算画素データを上位ビット抽出回路 353 に供給する。

【0026】例えば、図 12 に示される第 1 フィールドにおいては、画素 $G(j, k)$ に対応した誤差拡散処理画素データ E $D +$ ディザ係数 a 、画素 $G(j, k+1)$ に対応した誤差拡散処理画素データ E $D +$ ディザ係数 b 、画素 $G(j+1, k)$ に対応した誤差拡散処理画素データ E $D +$ ディザ係数 c 、画素 $G(j+1, k+1)$ に対応した誤差拡散処理画素データ E $D +$ ディザ係数 d の各々をディザ加算画素データとして上位ビット抽出回路 353 に順次供給して行くのである。上位ビット抽出回路 353 は、かかるディザ加算画素データの上位 4 ビット分までを抽出し、これを多階調化画素データ Ds として出力する。

【0027】このように、4 つの画素各々に割り当てるべき上記ディザ係数 $a \sim d$ を 1 フィールド毎に変更して行くことにより、ディザパターンによる視覚的ノイズを低減させつつも視覚的に多階調化した 4 ビットの多階調化画素データ Ds を求め、これを第 2 データ変換回路 34 に供給する。第 2 データ変換回路 34 は、かかる 4 ビットの多階調化画素データ Ds を図 13 に示されるが如き変換テーブルに従って第 1～第 14 ビットからなる表示駆動データ GQ に変換してこれをメモリ 4 に供給する。尚、これら第 1～第 14 ビットの各々は、後述するサブフィールド $SF1 \sim SF14$ の各々に対応したものである。

【0028】以上の如く、上記第 1 データ変換回路 32、多階調化処理回路 33 及び第 2 データ変換回路 34 からなるデータ変換回路 30 は、8 ビットで 256 階調を表現し得る画素データ D を、図 13 に示されるが如き 15 種類の表示駆動データ GQ の内のいずれが 1 つに交換してメモリ 4 に供給するのである。メモリ 4 は、上記駆動制御回路 2 から供給されてくる書込信号に従って上

記表示駆動データ GQ を順次書き込んで記憶する。かかる書込動作により、1 画面 (n 行、 m 列) 分の表示駆動データ $GQ11 \sim nm$ の書き込みが終了すると、メモリ 4 は、駆動制御回路 2 から供給されてくる読出信号に応じて、表示駆動データ $GQ11 \sim nm$ を同一ビット幅同士にて 1 行分毎に順次読み出し、アドレスドライバ 6 に供給する。すなわち、メモリ 4 は、各々が 14 ビットからなる 1 画面分の表示駆動データ $GQ11 \sim nm$ を各ビット毎

に、
 $DB111 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 1 ビット目
 $DB211 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 2 ビット目
 $DB311 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 3 ビット目
 $DB411 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 4 ビット目
 $DB511 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 5 ビット目
 $DB611 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 6 ビット目
 $DB711 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 7 ビット目
 $DB811 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 8 ビット目
 $DB911 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 9 ビット目
 $DB1011 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 10 ビット目
 $DB1111 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 11 ビット目
 $DB1211 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 12 ビット目
 $DB1311 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 13 ビット目
 $DB1411 \sim nm$: 表示駆動データ $GQ11 \sim nm$ の第 14 ビット目
 の如く 14 分割した表示駆動データビット $DB111 \sim nm \sim DB1411 \sim nm$ として捉え、これら $DB111 \sim nm \sim DB211 \sim nm \sim \dots \sim DB1411 \sim nm$ を、駆動制御回路 2 から供給された読出信号に従って 1 行分毎に順次読み出してアドレスドライバ 6 に供給するのである。

【0029】駆動制御回路 2 は、上記入力映像信号中の水平及び垂直同期信号に同期して、上記 A/D 変換器 1 に対するクロック信号、及びメモリ 4 に対する書込・読出信号を発生する。更に、駆動制御回路 2 は、図 14 に示されるが如き発光駆動フォーマットに基づいて、アドレスドライバ 6、第 1 サステインドライバ 7 及び第 2 サステインドライバ 8 を駆動制御すべき各種タイミング信号を発生する。

【0030】図 14 に示される発光駆動フォーマットは、1 フィールド(以下、1 フレーム)をも含む表現とする)の表示期間を 14 個のサブフィールド $SF1 \sim SF14$ に分割して、 $PDP10$ に対する階調駆動を行うものである。図 15 は、駆動制御回路 2 から供給されたタイミング信号に応じて、上記アドレスドライバ 6、第 1 サステインドライバ 7 及び第 2 サステインドライバ 8 が $PDP10$ の列電極 $D1 \sim Dm$ 、行電極 $X1 \sim Xn$ 及び $Y1 \sim Yn$ に印加する各種駆動パルスの印加タイミングの一例を示す図である。尚、図 15 においては、図 14 に示されるサブフィールド $SF1 \sim SF14$ の内から、 $SF1$ 及び $SF2$ での駆動パルスの印加タイミングを抜粋して示している。

【0031】図 15 では、先ず、サブフィールド $SF1$

において、第2サステインドライバ8は、図15に示されるが如き正極性のリセットパルス R_{PX} を発生してこれをPDP10の全ての行電極 $X1 \sim Xn$ に同時に印加する。これと同時に、第1サステインドライバ7は、図15に示されるが如き正極性のリセットパルス R_{PY} を発生してこれをPDP10の全ての行電極 $Y1 \sim Yn$ に同時に印加する。これらリセットパルス R_{PX} 及び R_{PY} の印加に応じて、PDP10中の全ての放電セルがリセット放電して、各放電セル内には一様に所定の量電荷が形成される。これにより、全放電セルは一旦、“発光セル”に設定される。

【0032】上記一斉リセット行程 R_o の終了後、第2サステインドライバ8は、図15に示されるが如き正極性のブライミングパルス P_{PX} をPDP10の全ての行電極 $X1 \sim Xn$ に同時印加する。かかるブライミングパルス P_{PX} の印加と同時に、第1サステインドライバ7は、図15に示されるが如き正極性で低レベルのキャンセルパルス C_P をPDP10の第 $k+1$ 行～第 $2k$ 行を組む行電極群(以下、行電極群 S_2 と称する)、並びに第 $2k+1$ 行～第 n 行を組む行電極群(以下、行電極群 S_3 と称する)々々に属する行電極 $Y_{k+1} \sim Y_n$ に同時印加する。かかるキャンセルパルス C_P の印加後、第1サステインドライバ7は、図15に示されるが如き正極性のブライミングパルス P_{PY} をPDP10の全ての行電極 $Y1 \sim Yn$ に同時印加する(ブライミング行程 P_{oi})。これらブライミングパルス P_{PX} 及び P_{PY} の印加により、PDP10における第1行～第 k 行を組む行電極群(以下、行電極群 S_1 と称する)に属する行電極 Y 及び X 間のみで2回分のブライミング放電が生起され、この行電極群 S_1 に属する各放電セルの放電空間内に荷電粒子が形成される。尚、上記キャンセルパルス C_P が印加されたPDP10の第 $k+1$ 行～第 n 行に属する各放電セルでは、例えば、ブライミングパルス P_{PX} 及び P_{PY} が印加されても放電は生じない。

【0033】かかるブライミング行程 P_{oi} の実行後、アドレスドライバ6は、上記メモリ4から供給された表示駆動データビット $DB111-nm \sim DB1411-nm$ の中からサブフィールド $SF1$ に対応した表示駆動データビット $DB111-nm$ を選出し、更にその中から、第1行～第 k 行に対応した分、つまり $DB111-km$ を抽出する。アドレスドライバ6は、かかる $DB111-km$ の論理レベルに対応した電圧を有する画素データパルスを発生し、これを1行分毎の画素データパルス群 $DP1 \sim DPk$ として、順次列電極 $D1-m$ に印加して行く。すなわち、先ず、上記 $DB111-km$ の中から第1行目に対応した分、つまり $DB111-1m$ を抽出し、これら $DB111-1m$ の論理レベルに対応した m 個分の画素データパルスからなる画素データパルス群 $DP1$ を生成して列電極 $D1-m$ に印加する。次に、かかる $DB111-km$ の内の第2行目に対応した分である $DB121-2m$ を抽出し、これら $DB1$

21-2mの論理レベルに対応した m 個分の画素データパルスからなる画素データパルス群 $DP2$ を生成して列電極 $D1-m$ に印加する。以下、同様にして、上記画素データ群送行程 $W1$ 内では、アドレスドライバ6は、PDP10の第3行～第 k 行に対応した画素データパルス群 $DP3 \sim DPk$ を1行分毎に順次列電極 $D1-m$ に印加して行く。尚、アドレスドライバ6は、この表示駆動データビット DB が例えば論理レベル“1”である場合には高電圧、論理レベル“0”である場合には低電圧(0ボルト)の画素データパルスを発生するものとする。第2サステインドライバ8は、これら画素データパルス群 $DP1 \sim DPk$ 各々に同期して、上記画素データパルス DP と同一パルス幅を有する負極性の走査パルス SP を発生し、これを上記行電極群 S_1 に属する行電極 $Y1 \sim Yk$ へと順次印加して行く(画素データ群送行程 $W1$)。この際、走査パルス SP が印加され、かつ高電圧の画素データパルスが印加された上記行電極群 S_1 に属する放電セルにのみ放電(選択消去放電)が生起され、その放電セル内部に蓄存していた量電荷が消滅する。つまり、上記一斉リセット行程 R_o において“発光セル”の状態に初期化された放電セルは、“非発光セル”に推移するのである。一方、走査パルス SP が印加されたものの、低電圧の画素データパルスが印加された放電セルには上記選択消去放電は生起されないで、上記一斉リセット行程 R_o にて初期化された状態、つまり“発光セル”の状態が保持される。

【0034】尚、上記画素データ群送行程 $W1$ 内において印加する上記画素データパルス DP 及び走査パルス SP の各々は、図15の $T1 \sim Tk$ に示されるように、上記ブライミング行程 P_{oi} の直後は、そのパルス幅を短くし、時間経過と共に広くして行く。すなわち、ブライミング行程 P_{oi} の直後においては、このブライミング行程 P_{oi} にて生起されたブライミング放電により各放電セルの放電空間内には荷電粒子が形成されているので、例えば走査パルス及び画素データパルスのパルス幅を短くしても良好に選択消去放電を生起させることが可能となるからである。

【0035】上記画素データ群送行程 $W1$ の実行後、第2サステインドライバ8は、図15に示されるが如き正極性の維持パルス M_{PX} をPDP10の行電極群 S_1 に属する行電極 $X1 \sim Xk$ に同時印加する。その直後に、第1サステインドライバ7は、図15に示されるが如き正極性の維持パルス M_{PY} をPDP10の行電極群 S_1 に属する行電極 $Y1 \sim Yk$ に同時印加する(第1発光維持行程 $I1$)。これら維持パルス M_{PX} 及び M_{PY} の交互印加により、上記行電極群 S_1 に属し、かつ“発光セル”の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。

【0036】従って、上記画素データ群送行程 $W1$ での選択消去放電によって形成されたものの時間経過とともに減少してしまった荷電粒子は、上記2回分の維持放電

によって再形成される。又、上記第1発光維持行程11と同時に、第2サステインドライバ8は、図15に示されるが如き正極性のブライミングパルスPPXを上記行電極群S2に属する行電極Xk+1~X2kに同時印加する。かかるブライミングパルスPPXの印加と同時に、第1サステインドライバ7は、図15に示されるが如き正極性で低レベルのキャンセルパルスCPを上記行電極群S3に属する行電極Y2k+1~Ynに同時印加する。かかるキャンセルパルスCPの印加後、第1サステインドライバ7は、図15に示されるが如き正極性のブライミングパルスPPYを上記行電極群S2及びS3に属する行電極Yk+1~Ynに同時印加する(ブライミング行程P02)。これらブライミングパルスPPX及びPPYの印加により、PDP10における上記行電極群S2に属する行電極Y及びX間のみで2回分のブライミング放電が生起され、この行電極群S2に属する各放電セルの放電空間内に荷電粒子が形成される。尚、上記キャンセルパルスCPが印加された行電極群S3に属する各放電セルでは、例え、ブライミングパルスPPX及びPPYが印加されても上記ブライミング放電は生じない。

【0037】上記第1発光維持行程11及びブライミング行程P02の実行後、アドレスドライバ6は、上述した如きサブフィールドSF1に対応した表示駆動データビットDB111~nmの中から第k+1行~第2k行に対応した分、つまりDB1(2k+1)、1~2k,mを抽出する。アドレスドライバ6は、このDB1(2k+1)、1~2k,m各々の論理レベルに対応した電圧を有する画素データパルスを発生し、これを1行分毎の画素データパルス群DPk+1~DP2kとして、順次列電極D1~mに印加して行く。第2サステインドライバ8は、これら画素データパルス群DPk+1~DP2k各々に同期して、上記画素データパルスDPと同一パルス幅を有する負極性の走査パルスSPを発生し、これを行電極群S2に属する行電極Yk+1~Y2kへと順次印加して行く(画素データ書込行程W2)。この際、走査パルスSPが印加され、かつ高電圧の画素データパルスが印加された上記行電極群S2に属する放電セルにのみ放電(選択消去放電)が生起され、その放電セル内部に残存していた壁電荷が消滅する。つまり、上記リセット行程R0において“発光セル”の状態に初期化された放電セルは、“非発光セル”に推移するのである。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルには上記選択消去放電は生起されないで、現在の状態が保持される。

【0038】尚、上記画素データ書込行程W2内において印加する上記画素データパルスDP及び走査パルスSPの各々は、図15のT1~Tkに示されるように、上記ブライミング行程P02の直後は、そのパルス幅を短くし、時間経過と共に広くして行く。すなわち、ブライミング行程P02の直後においては、このブライミング行程

P02にて生起されたブライミング放電により各放電セルの放電空間内には荷電粒子が形成されているので、例えば走査パルス及び画素データパルスのパルス幅を短くしても良好に選択消去放電を生起させることが可能となるからである。

【0039】上記画素データ書込行程W2の実行後、第2サステインドライバ8は、図15に示されるが如き正極性の維持パルスIPXをPDP10の行電極群S1及びS2に属する行電極X1~X2kに同時印加する。これと同時に第1サステインドライバ7は、図15に示されるが如き正極性で低レベルのキャンセルパルスCPを上記行電極群S1に属する行電極Y1~Ykに同時印加する。その直後に、第1サステインドライバ7は、図15に示されるが如き正極性の維持パルスIPYをPDP10の行電極群S1及びS2に属する行電極Y1~Y2kに同時印加する(第1発光維持行程112)。これら維持パルスIPX及びIPYの交互印加により、上記行電極群S2に属し、かつ“発光セル”の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。

【0040】従って、上記画素データ書込行程W2での選択消去放電によって形成されたものの時間経過とともに減少してしまった荷電粒子は、上記2回分の維持放電によって再形成される。尚、上記キャンセルパルスCPが印加された行電極群S1に属する各放電セルでは、例え、維持パルスIPX及びIPYが印加されても上記維持放電は生じない。

【0041】又、上記第1発光維持行程112と同時に、第2サステインドライバ8は、図15に示されるが如き正極性のブライミングパルスPPXをPDP10の行電極群S3に属する行電極X1~Xkに同時印加する。かかるブライミングパルスPPXの印加後、第1サステインドライバ7は、図15に示されるが如き正極性のブライミングパルスPPYをPDP10の行電極群S3に属する行電極Y2k+1~Ynに同時印加する(ブライミング行程P03)。これらブライミングパルスPPX及びPPYの印加により、PDP10における上記行電極群S3に属する行電極Y及びX間のみで2回分のブライミング放電が生起され、この行電極群S3に属する各放電セルの放電空間内に荷電粒子が形成される。

【0042】これら第1発光維持行程112及びブライミング行程P03の実行後、アドレスドライバ6は、上述した如きサブフィールドSF1に対応した表示駆動データビットDB111~nmの中から第2k+1行~第n行に対応した分、つまりDB1(2k+1)、1~n,mを抽出する。アドレスドライバ6は、かかるDB1(2k+1)、1~n,m各々の論理レベルに対応した電圧を有する画素データパルスを発生し、これを1行分毎の画素データパルス群DP2k+1~DPnとして順次列電極D1~mに印加して行く。第2サステインドライバ8は、これら画素データパルス群DP2k+1~DPn各々に同期して、上記画素データパルスDP

Pと同一パルス幅を有する負極性の走査パルスSPを発生し、これを行電極群S3に属する行電極Y2k+1~Ynへと順次印加して行く(画素データ書込行程W3)。この際、走査パルスSPが印加され、かつ高電圧の画素データパルスが印加された行電極群S3に属する放電セルにのみ放電(選択消去放電)が生起され、その放電セル内部に残存していた電荷が消滅する。つまり、上記リセット行程R0において"発光セル"の状態に初期化された放電セルは、"非発光セル"に推移するのである。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルには上記選択消去放電は生起されないで、現在の状態が保持される。

【0043】尚、上記画素データ書込行程W3内において印加する上記画素データパルスDP及び走査パルスSPの各々は、図15のT1~Tkに示されるように、上記ブライミング行程P03の直後は、そのパルス幅を短くし、時間経過と共に広くして行く。すなわち、ブライミング行程P03の直後においては、このブライミング行程P03にて生起されたブライミング放電により各放電セルの放電空間内には荷電粒子が形成されているので、例えば走査パルス及び画素データパルスのパルス幅を短くしても良好に選択消去放電を生起させることが可能となるからである。

【0044】上記画素データ書込行程W3の実行後、第2サスティンドライバ8は、図15に示されるが如き正極性の維持パルスIPXをPDP10における全ての行電極X1~Xnに同時印加する。これと同時に、第1サスティンドライバ7は、図15に示されるが如き正極性で低レベルのキャンセルパルスCPを上記行電極群S1及びS2に属する行電極Y1~Y2kに同時印加する。その直後に、第1サスティンドライバ7は、図15に示されるが如き正極性の維持パルスIPYをPDP10の全ての行電極Y1~Ynに同時印加する(第1発光維持行程I3)。これら維持パルスIPX及びIPYの交互印加により、上記行電極群S3に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。

【0045】従って、上記画素データ書込行程W3での選択消去放電によって形成されたものの時間経過とともに減少してしまった荷電粒子は、上記2回分の維持放電によって再形成される。尚、上記キャンセルパルスCPが印加された行電極群S1及びS2に属する各放電セルでは、例えば、維持パルスIPX及びIPYが印加されても上記維持放電は生じない。

【0046】次に、第2サスティンドライバ8は、図15に示されるが如き正極性の維持パルスIPXをPDP10における全ての行電極X1~Xnに同時印加する。これと同時に、第1サスティンドライバ7は、図15に示されるが如き正極性で低レベルのキャンセルパルスCPを上記行電極群S2及びS3に属する行電極Y2k+1~Y

nに同時印加する。その直後に、第1サスティンドライバ7は、図15に示されるが如き正極性の維持パルスIPYをPDP10の全ての行電極Y1~Ynに同時印加する(第2発光維持行程I3)。これら維持パルスIPX及びIPYの交互印加により、上記行電極群S1に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。尚、上記キャンセルパルスCPが印加された行電極群S2及びS3に属する各放電セルでは、例えば、維持パルスIPX及びIPYが印加されても上記維持放電は生じない。

【0047】この第2発光維持行程I3の実行後、アドレスドライバ6は、上記メモリ4から供給された表示駆動データビットDB111-nm~DB1411-nmの中からサブフィールドSF2に対応した表示駆動データビットDB211-nmを選出し、更にその中から、第1行~第k行に対応した分、つまりDB211-kmを抽出する。アドレスドライバ6は、かかるDB211-km各々の論理レベルに対応した電圧を有する画素データパルスを発生し、これを1行毎の画素データパルス群DP1~DPkとして、順次列電極D1-mに印加して行く。すなわち、先ず、上記DB211-kmの内から第1行目に該当した分、つまりDB211-1mを抽出し、これらDB211-1m各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP1を生成して列電極D1-mに印加する。次に、かかるDB211-kmの内の第2行目に該当した分であるDB211-2mを抽出し、これらDB211-2m各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP2を生成して列電極D1-mに印加する。以下、同様にして、サブフィールドSF2での上記画素データ書込行程W1内では、アドレスドライバ6が、PDP10の第3行~第k行に対応した画素データパルス群DP3~DPkを1行毎に順次列電極D1-mに印加して行く。第2サスティンドライバ8は、これら画素データパルス群DP1~DPk各々に同期して、上記画素データパルスDPと同一パルス幅を有する負極性の走査パルスSPを発生し、これを行電極群S1に属する行電極Y1~Ykへと順次印加して行く(画素データ書込行程W1)。この際、走査パルスSPが印加され、かつ高電圧の画素データパルスが印加された上記行電極群S1に属する放電セルにのみ選択消去放電が生起され、その放電セル内部に残存していた電荷が消滅する。つまり、上記リセット行程R0において"発光セル"の状態に初期化された放電セルは、"非発光セル"に推移するのである。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルには上記選択消去放電は生起されないで、現在の状態が保持される。

【0048】尚、上記サブフィールドSF2での画素データ書込行程W1内において印加する上記画素データパルスDP及び走査パルスSPの各々は、図15のT1~

TKに示されるように、上記発光維持行程131の直後は、そのパルス幅を短くし、時間経過と共に広くして行く。すなわち、発光維持行程131の直後においては、この発光維持行程131にて生じさせた維持放電により各放電セルの放電空間内には荷電粒子が形成されているので、例えば走査パルス及び画素データパルスのパルス幅を短くしても良好に選択消去放電を生じさせることが可能となるからである。

【0049】かかるサブフィールドSF2での画素データ書込行程W1が終了すると、第2サステンドライバ8は、図15に示されるが如き正極性の維持パルス1PXをPOP10における全ての行電極X1~Xnに同時印加する。これと同時に、第1サステンドライバ7は、図15に示されるが如き正極性で低レベルのキャンセルパルスCPを上記行電極群S1及びS3に属する行電極Yに同時印加する。その直後に、第1サステンドライバ7は、図15に示されるが如き正極性の維持パルス1PYをPOP10の全ての行電極Y1~Ynに同時印加する(第3発光維持行程132)。これら維持パルス1PX及び1PYの交互印加により、上記行電極群S2に属し、かつ“発光セル”の状態にある放電セルのみに、発光を伴う2回分の維持放電が生じられる。尚、上記キャンセルパルスCPが印加された行電極群S1及びS3に属する各放電セルでは、例えば、維持パルス1PX及び1PYが印加されても上記維持放電は生じない。

【0050】この第3発光維持行程132の実行後、アドレスドライバ6は、上述した如きサブフィールドSF2に対応した表示駆動データビットDB211~nmの中から、第k+1行~第2k行に対応した分、つまりDBk+1,1~2k,mを抽出する。アドレスドライバ6は、かかるDBk+1,1~2k,m各々の論理レベルに対応した電圧を有する画素データパルスを発生し、これを1行分毎の画素データパルス群DPk+1~DP2kとして、順次列電極D1~mに印加して行く。第2サステンドライバ8は、これら画素データパルス群DPk+1~DP2k各々に同期して、上記画素データパルスDPと同一パルス幅を有する負極性の走査パルスSPを発生し、これを行電極群S2に属する行電極Yk+1~Y2kへと順次印加して行く(画素データ書込行程W2)。この際、走査パルスSPが印加され、かつ高電圧の画素データパルスが印加された上記行電極群S2に属する放電セルにのみ選択消去放電が生じられ、その放電セル内部に残存していた量電荷が消滅する。つまり、上記一斉リセット行程R0において“発光セル”の状態に初期化された放電セルは、“非発光セル”に推移するのである。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルには上記選択消去放電は生じられないので、現在の状態が保持される。

【0051】尚、上記サブフィールドSF2での画素データ書込行程W2内において印加する上記画素データパ

ルスDP及び走査パルスSPの各々は、図15のT1~TKに示されるように、上記発光維持行程132の直後は、そのパルス幅を短くし、時間経過と共に広くして行く。すなわち、発光維持行程132の直後においては、この発光維持行程132にて生じさせた維持放電により各放電セルの放電空間内には荷電粒子が形成されているので、例えば走査パルス及び画素データパルスのパルス幅を短くしても良好に選択消去放電を生じさせることが可能となるからである。

【0052】かかるサブフィールドSF2での画素データ書込行程W2が終了すると、第2サステンドライバ8は、図15に示されるが如き正極性の維持パルス1PXをPOP10における全ての行電極X1~Xnに同時印加する。これと同時に、第1サステンドライバ7は、図15に示されるが如き正極性で低レベルのキャンセルパルスCPを上記行電極群S1及びS2に属する行電極Yに同時印加する。その直後に、第1サステンドライバ7は、図15に示されるが如き正極性の維持パルス1PYをPOP10の全ての行電極Y1~Ynに同時印加する(第3発光維持行程133)。これら維持パルス1PX及び1PYの交互印加により、上記行電極群S3に属し、かつ“発光セル”の状態にある放電セルのみに、発光を伴う2回分の維持放電が生じられる。尚、上記キャンセルパルスCPが印加された行電極群S1及びS3に属する各放電セルでは、例えば、維持パルス1PX及び1PYが印加されても上記維持放電は生じない。

【0053】この第3発光維持行程133の実行後、アドレスドライバ6は、上述した如きサブフィールドSF2に対応した表示駆動データビットDB211~nmの中から、第k+1行~第n行に対応した分、つまりDB2k+1,1~n,mを抽出する。アドレスドライバ6は、かかるDB2k+1,1~n,m各々の論理レベルに対応した電圧を有する画素データパルスを発生し、これを1行分毎の画素データパルス群DP2k+1~DPnとして、順次列電極D1~mに印加して行く。第2サステンドライバ8は、これら画素データパルス群DP2k+1~DPn各々に同期して、上記画素データパルスDPと同一パルス幅を有する負極性の走査パルスSPを発生し、これを行電極群S3に属する行電極Y2k+1~Ynへと順次印加して行く(画素データ書込行程W3)。この際、走査パルスSPが印加され、かつ高電圧の画素データパルスが印加された上記行電極群S3に属する放電セルにのみ選択消去放電が生じられ、その放電セル内部に残存していた量電荷が消滅する。つまり、上記一斉リセット行程R0において“発光セル”の状態に初期化された放電セルは、“非発光セル”に推移するのである。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルには上記選択消去放電は生じられないので、現在の状態が保持される。

【0054】尚、上記サブフィールドSF2での上記画

素データ書込行程W3内において印加する上記画素データパルスOP及び走査パルスSPの各々は、図15のT1~T4に示されるように、上記発光維持行程133の直後は、そのパルス幅を短くし、時間経過と共に広くして行く。すなわち、発光維持行程133の直後においては、この発光維持行程133にて生起された維持放電により各放電セルの放電空間内には荷電粒子が形成されているので、例えば走査パルス及び画素データパルス各々のパルス幅を短くしても良好に選択消去放電を生起させることが可能となるからである。

【0055】このように、先頭のサブフィールドSF1内では、まず、POP10の全放電セルを“発光セル”の状態に初期化せしめる一斉リセット行程R0を実行する。次に、放電セル内に荷電粒子を形成させるブライミング行程P01~P03、各放電セルを画素データに応じて“発光セル”及び“非発光セル”のいずれかに設定する画素データ書込行程W1~W3、“発光セル”のみを夫々2回ずつ発光させる第1発光維持行程11~13及び第3発光維持行程131~133を順次実行する。

【0056】一方、サブフィールドSF2~SF13の各々においては、図14に示されるが如く、画素データ書込行程W1~W3、第1発光維持行程11~13及び第3発光維持行程131~133の各々を上記サブフィールドSF1の場合と同様に実行する。更に、サブフィールドSF2~SF13の各々においては、図14に示されるように、上記第1発光維持行程11と、第3発光維持行程13との間に、上記“発光セル”に設定されている全ての放電セルを一斉に、各サブフィールドの重み付けに対応した回数だけ繰り返し維持放電せしめる第2発光維持行程12を実行する。

【0057】又、最後尾のサブフィールドSF14では、図14に示されるように、上記画素データ書込行程W1~W3、第1発光維持行程11~13、及び第2発光維持行程12、及び全放電セルに残留している壁電荷を消去させる消去行程Eを実行する。尚、上記第2発光維持行程12では、第1サステインドライバ7及び第2サステインドライバ8が、図15に示されるが如く上記維持パルスIPX及びIPYをPOP10の行電極Y1~Yn及びX1~Xnに交互に繰り返し印加する。この際、維持パルスIPX及びIPYの印加回数は、図16に示されるように、各サブフィールドの重み付けに応じて、

SF2: 8
SF3: 16
SF4: 28
SF5: 36
SF6: 48
SF7: 60
SF8: 72
SF9: 84
SF10: 96

SF11: 108
SF12: 124
SF13: 136
SF14: 154

であり、その印加回数分だけ“発光セル”に設定されている放電セルが発光することになる。

【0058】ここで、上記第1発光維持行程11、第2発光維持行程12、及び第3発光維持行程13各々の発光回数を加算したものが各サブフィールド内での総発光回数となる。つまり、第1発光維持行程11、及び第3発光維持行程13各々の発光回数は夫々2回であるから、サブフィールドSF1~SF14各々の総発光回数は、

SF1: 4
SF2: 12
SF3: 20
SF4: 32
SF5: 40
SF6: 52
SF7: 64
SF8: 78
SF9: 88
SF10: 100
SF11: 112
SF12: 128
SF13: 140
SF14: 156

となる。

【0059】この際、各サブフィールド内において上記の如き回数分の発光を実施させるか否か、つまり放電セルを“発光セル”に設定するのか、又は“非発光セル”に設定するのかは、図13に示されるが如き表示駆動データGDのデータパターンによって決定する。かかる表示駆動データGDによれば、図13の黒丸に示されるように、サブフィールドSF1~SF14の内の1つのサブフィールドでの画素データ書込行程Wにおいてのみで選択消去放電が生起されることになる。つまり、先頭サブフィールドSF1の一斉リセット行程R0にて形成された壁電荷は上記選択消去放電が生起されるまでの間残留して“発光セル”の状態を維持するのである。従って、その間に存在するサブフィールド各々(白丸にて示す)での第1発光維持行程11~13において、発光を伴う維持放電が生起されることになる。この際、サブフィールドSF1~SF14各々で実施された維持放電の回数の総和が、1フィールドでの発光輝度として表現されるのである。

【0060】よって、図13に示されるが如き15種類の表示駆動データGDによって得られる発光輝度は、サブフィールドSF1での発光輝度を“1”とした場合、
{0, 1, 4, 9, 16, 27, 40, 56, 75, 97, 122, 151, 182, 217, 256}

なる15階調分となる。かかる15階調の階調駆動と、前述した如き多階調化処理回路33での多階調化処理により、複写上においては256階調相当の輝度が表現される。

【0061】以上の如く、本実施例においては、PDP10におけるn個の行電極を、各々k個の行電極からなる3つの行電極群S1～S3に分けて捉え、1つの行電極群分の画素データ書込(画素データ書込行程W1～3)終了毎に、直ちにその行電極群に対する初回分(2回)の維持放電動作を実行する(第1発光維持行程I11～3)。これにより、上記画素データ書込行程W1～3での選択消去放電によって形成されたものの時間経過とともに減少してしまつた荷電粒子は、かかる維持放電によって再形成される。

【0062】従って、続きの維持放電を生起させる(第2発光維持行程I2)直前の段階では、この行電極群に属する放電セル内には上記荷電粒子が残留しているの、例え、上記第2発光維持行程I2において印加する維持パルスIPのパルス幅が短くても、維持放電が正しく生起されるようになる。更に、各行電極群S1～S3各々に対する画素データ書込行程W1～3各々の直前に、前のサブフィールドでの第3発光維持行程I31～3を夫々実行するようにしている。よって、画素データ書込行程W1～3各々の直前の段階において、各放電セル内には、かかる第3発光維持行程I31～3各々での維持放電によって形成された荷電粒子が残留することになる。従って、例え、画素データ書込行程W1～3各々において印加される走査パルス及び画素データパルスのパルス幅が短くても、良好に選択消去放電が生起されるようになる。

【0063】従って、本発明によれば、分割するサブフィールドの数を増加させるべくPDPに印加すべき各種駆動パルス(走査パルス、画素データパルス、維持パルスIP)のパルス幅を短くしても、各種放電(選択消去放電及び維持放電)を正しく生起させることが出来るので、良好な画像表示が得られるようになる。換言すれば、各サブフィールドにおける画素データ書込行程の時間短縮が出来る為、1フィールド内に挿入できるサブフィールドの数を増加させることが可能となり、表示画質が向上するのである。

【0064】尚、図15においては、各行電極群S1、S2、S3の画素データ書込行程での選択消去放電を安定化すべく、これら行電極群に印加する画素データパルスOP及び走査パルスSP各々を、行電極群内で走査される順にそのパルス幅が広がるようにしているが、更に1フィールド内のサブフィールドの配列順番に応じて画素データパルスOP及び走査パルスSP各々のパルス幅を短くしても良い。この場合、配列順番が後側のサブフィールドでは、それまでに十分なブライミング粒子が形成され、選択消去放電が安定するため、1フィールド

D内の先頭のサブフィールドから順にそのパルス幅を短くすることができる。

【0065】又、図13に示される実施例においては、その黒丸にて示されるように、サブフィールドSF1～SF14の内のいずれか1の画素データ書込行程W1においてのみで、選択消去放電を生起させるようにしている。しかしながら、放電セル内に残留する荷電粒子の量が少ないと、この選択消去放電が正常に生起されず、放電セル内の電荷量を正常に消去できない場合がある。この際、例えA/D変換後の画素データDが低輝度を示すデータであっても、最高輝度に対応した発光が為されてしまい、画像品質を著しく低下させるという問題が生じる。

【0066】そこで、第2データ変換回路34において用いる変換テーブルを、上記図13に示されるものから図17に示されるものに変更して階調駆動を実施する。尚、図17に示されている"*"は、論理レベル"1"又は"0"のいずれでも良いことを示し、三角印は、かかる"*"が論理レベル"1"である場合に限り選択消去放電を生起させることを示している。

【0067】かかる図17に示される表示駆動データGDによれば、少なくとも連続して2回分の選択消去放電が実施される。要するに、初回の選択消去放電では画素データの書込を失敗する恐れがあるので、それ以降に存在するサブフィールドの内の少なくとも1つで、再度、選択消去放電を行うことにより、画素データの書込を確実にし、誤った発光動作を防止しているのである。

【0068】又、図14に示される実施例においては、画素データ書込行程W1の直後に第1発光維持行程I11を実行するようにしているが、図18に示されるように、かかる第1発光維持行程I11を第2発光維持行程I12と同時に実行するようにしても良い。又、図14に示される実施例においては、サブフィールドSF1での総発光回数を4回に設定した為、このサブフィールドSF1内には第2発光維持行程I2が存在していない。しかしながら、その総発光回数を6回以上に設定した際には、サブフィールドSF2～SF14と同様に、第1発光維持行程I1と第2発光維持行程I2との間に第2発光維持行程I2を設けて、4回を越えた分の発光をかかる第2発光維持行程I2に担わせるようにする。

【0069】又、上記実施例においては、サブフィールドSF1～SF14の全てにおいて、行電極群S1～S3の如きグループ単位で、画素データ書込及び発光維持を実施しているが、必ずしも全てのサブフィールドで、上記グループ毎の画素データ書込及び発光維持を行わなくても良い。例えば、サブフィールドSF1～SF14の内の、そのサブフィールド内での総発光回数が比較的少ないサブフィールドSF1～SF7においてのみで、上述した如きグループ単位での画素データ書込及び発光維持を行うのである。

【0070】尚、図14及び図18に示される発光駆動フォーマットにおいては、第2発光維持行程12が終了してから次の第3発光維持行程13が開始されるまでの間隔が、行電極群S1～S3毎に異なっている。この際、行電極群S1に属する放電セルにおいては、第2発光維持行程12が終了してから直ちに第3発光維持行程13が開始される。よって、行電極群S1に属する放電セル内には、第2発光維持行程12の段階で発生した荷電粒子が多く残っている。従って、第3発光維持行程13における維持パルス1Pの印加により、行電極群S1に属する全放電セル内で、ほぼ同一時期に維持放電が生起される。それ故、かかる期間内において上記維持放電に伴う電力消費が集中しており、全体の電力消費量が増大することになる。かかる電力消費量の増大によって維持パルス1Pの電圧レベルが低下してしまい、結果として維持放電に伴う発光時の輝度が低下する。

【0071】一方、行電極群S3に属する放電セルにおいては、第2発光維持行程12が終了してから第3発光維持行程13が開始されるまでには時間が掛かる。そのため、行電極群S3に属する放電セル内では、第2発光維持行程12の段階で発生した荷電粒子は、その時間経過につれて徐々に消滅して行く。この際、放電セル毎に荷電粒子の消滅具合にはバラツキがあるので、維持パルス1Pの印加から比較的早い時期に維持放電が生起される放電セルと、遅れて維持放電が生起される放電セルとがでてくる。従って、行電極群S3に属する放電セルでは、維持放電に伴う電力消費が時間的に分散することになり、ある一時期に電力消費量が増大することは無い。よって、上述した如き行電極群S1に属する放電セルのように、維持パルス1Pの電圧レベルが低下することも無く、維持放電に伴う発光時の輝度低下も無い。

【0072】このように、行電極群S1に属する放電セルで生起される維持放電と、行電極群S3に属する放電セルで生起される維持放電とでは、その維持放電に伴う発光に輝度差が生じる為、画面上で均一な表示輝度を得られないという問題が生じる。そこで、図14及び図18に示される発光駆動フォーマットに代わり図19に示される発光駆動フォーマットを採用して、かかる問題に対処する。

【0073】図20は、かかる図19に示される発光駆動フォーマットに従ってPDP10に印加する各種駆動パルスの印加タイミングを示す図である。尚、図20においては、サブフィールドSF1～SF14の内から、サブフィールドSF1～SF2までの駆動パルスの印加タイミングを抜粋して示すものである。図20において、まず、サブフィールドSF1において、第2サステインドライバBが負極性のリセットパルスRPXを発生してこれをPDP10の全ての行電極X1～Xnに同時に印加する。これと同時に、第1サステインドライバAは、正極性のリセットパルスRPYを発生してこれをP

D10の全ての行電極Y1～Ynに同時に印加する(一斉リセット行程R0)。かかる一斉リセット行程R0の実行により、PDP10中の全ての放電セルが一斉にリセット放電して、各放電セル内には一様に所定の量電荷が形成される。これにより、全放電セルは一旦、“発光セル”に設定される。

【0074】上記一斉リセット行程R0の終了後、第2サステインドライバBは、正極性のブライミングパルスPPXをPDP10の全ての行電極X1～Xnに同時に印加する。かかるブライミングパルスPPXの印加と同時に、第1サステインドライバAは、図20に示されるが如く低レベルで正極性のキャンセルパルスCPをPDP10の行電極群S2及びS3毎々に属する行電極Yk+1～Ynに同時に印加する。かかるキャンセルパルスCPの印加後、第1サステインドライバAは、正極性のブライミングパルスPPYをPDP10の全ての行電極Y1～Ynに同時に印加する(ブライミング行程PC1)。かかるブライミング行程PC1の実行により、PDP10の行電極群S1に属する放電セル内において2回分のブライミング放電が生起され、この行電極群S1に属する各放電セルの放電空間内に荷電粒子が形成される。尚、上記キャンセルパルスCPが印加された行電極群S2及びS3に属する放電セル内では放電は生じない。

【0075】かかるブライミング行程PC1の実行後、アドレスドライバBは、上記メモリ4から供給されたサブフィールドSF1に対応した表示駆動データビットDB111-nmの中から、第1行～第k行に対応した分、つまりDB111-kmを抽出する。アドレスドライバBは、かかるDB111-km毎々の論理レベルに対応した電圧を有する画素データパルスを発生し、これを1行毎の画素データパルス群DP1～DPkとして、順次列電極O1-mに印加して行く。そして、これら画素データパルス群DP1～DPk毎々に同期して、第2サステインドライバBは、上記画素データパルスDPと同一パルス幅を有する負極性の走査パルスSPを発生し、これを上記行電極群S1に属する行電極Y1～YkAと順次印加して行く(画素データ書込行程W1)。この際、走査パルスSPが印加され、かつ高電圧の画素データパルスが印加された上記行電極群S1に属する放電セルにのみ放電(選択消去放電)が生起され、その放電セル内部に残存していた量電荷が消滅する。つまり、上記一斉リセット行程R0において“発光セル”の状態に初期化された放電セルは、“非発光セル”に推移するのである。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルには上記選択消去放電は生起されない。で、上記一斉リセット行程R0にて初期化された状態、つまり“発光セル”の状態が保持される。尚、上記画素データ書込行程W1内において印加する上記画素データパルスDP及び走査パルスSPの各々は、図20のT1～Tkに示されるように、上記ブライミング行程PC1の直

後は、そのパルス幅を短くし、時間経過と共に広くして行く。

【0076】上記画素データ書込行程W1の実行後、第2サステンドライバ8は、正極性の維持パルス1PXをPDP10の行電極群S1に属する行電極X1~Xkに同時印加する。その直後に、第1サステンドライバ7は、正極性の維持パルス1PYをPDP10の行電極群S1に属する行電極Y1~Ykに同時印加する(第1発光維持行程11)。これら維持パルス1PX及び1PYの交互印加により、上記行電極群S1に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。この際、上記画素データ書込行程W1での選択消去放電によって形成されたものの時間経過とともに減少してしまった荷電粒子は、上記2回分の維持放電によって再形成される。

【0077】又、上記第1発光維持行程11と同時に、第2サステンドライバ8は、正極性のブライミングパルスPPXを上記行電極群S2及びS3各々に属する行電極Xk+1~Xnに同時印加する。かかるブライミングパルスPPXの印加と同時に、第1サステンドライバ7は、正極性で低レベルのキャンセルパルスCPを上記行電極群S3に属する行電極Y2k+1~Ynに同時印加する。かかるキャンセルパルスCPの印加後、第1サステンドライバ7は、正極性のブライミングパルスPPYを上記行電極群S2及びS3に属する行電極Yk+1~Ynに同時印加する(ブライミング行程PC2)。かかるブライミング行程PC2の実行により、PDP10における上記行電極群S2に属する行電極Y及びX間のみで2回分のブライミング放電が生起され、この行電極群S2に属する各放電セルの放電空間内に荷電粒子が形成される。尚、上記キャンセルパルスCPが印加された行電極群S3に属する各放電セルでは放電は生じない。

【0078】上記第1発光維持行程11及びブライミング行程PC2の実行後、アドレスドライバ6は、上記表示駆動データビットDB111-nmの中から第k+1行~第2k行に対応した分、つまりDB1(2k+1)、1-2k,mを抽出する。アドレスドライバ6は、このDB1(2k+1)、1-2k,m各々の論理レベルに対応した電圧を有する画素データパルスを発生し、これを1行分毎の画素データパルス群DPk+1~DP2kとして、順次列電極D1~mに印加して行く。第2サステンドライバ8は、これら画素データパルス群DPk+1~DP2k各々に同期して、上記画素データパルスDPと同一パルス幅を有する負極性の走査パルスSPを発生し、これを行電極群S2に属する行電極Yk+1~Y2kへと順次印加して行く(画素データ書込行程W2)。かかる画素データ書込行程W2において、走査パルスSPが印加され、かつ高電圧の画素データパルスが印加された上記行電極群S2に属する放電セルにのみ放電(選択消去放電)が生起され、その放電セル内部に残存していた量電荷が消滅する。つまり、上記

一斉リセット行程R6において"発光セル"の状態に初期化された放電セルは、"非発光セル"に推移する。一方、低電圧の画素データパルスが印加された放電セルには上記選択消去放電は生起されないで、現在の状態が保持される。尚、上記画素データ書込行程W2内において印加する上記画素データパルスDP及び走査パルスSP各々のパルス幅は、図20のT1~Tkに示されるように、上記ブライミング行程PC2の直後は短くし、時間経過と共に広くして行く。

【0079】上記画素データ書込行程W2の実行後、第2サステンドライバ8は、正極性の維持パルス1PXをPDP10の行電極群S1及びS2に属する行電極X1~X2kに同時印加する。これと同時に第1サステンドライバ7は、正極性で低レベルのキャンセルパルスCPを上記行電極群S1に属する行電極Y1~Ykに同時印加する。その直後に、第1サステンドライバ7は、正極性の維持パルス1PYをPDP10の行電極群S1及びS2に属する行電極Y1~Y2kに同時印加する(第1発光維持行程12)。これら維持パルス1PX及び1PYの交互印加により、上記行電極群S2に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。この際、上記画素データ書込行程W2での選択消去放電によって形成されたものの時間経過とともに減少してしまった荷電粒子は、上記2回分の維持放電によって再形成される。尚、上記キャンセルパルスCPが印加された行電極群S1に属する各放電セルでは放電は生じない。

【0080】更に、上記第1発光維持行程12と同時に、第2サステンドライバ8は、正極性のブライミングパルスPPXをPDP10の行電極群S3に属する行電極X1~Xkに同時印加する。かかるブライミングパルスPPXの印加後、第1サステンドライバ7は、正極性のブライミングパルスPPYをPDP10の行電極群S3に属する行電極Y2k+1~Ynに同時印加する(ブライミング行程PC3)。かかるブライミング行程PC3の実行により、PDP10における上記行電極群S3に属する放電セル内において2回分のブライミング放電が生起され、この行電極群S3に属する各放電セルの放電空間内に荷電粒子が形成される。

【0081】これら第1発光維持行程12及びブライミング行程PC3の実行後、アドレスドライバ6は、上記表示駆動データビットDB111-nmの中から第2k+1行~第n行に対応した分、つまりDB1(2k+1)、1-n,mを抽出する。アドレスドライバ6は、かかるDB1(2k+1)、1-n,m各々の論理レベルに対応した電圧を有する画素データパルスを発生し、これを1行分毎の画素データパルス群DP2k+1~DPnとして順次列電極D1~mに印加して行く。第2サステンドライバ8は、これら画素データパルス群DP2k+1~DPn各々に同期して、上記画素データパルスDPと同一パルス幅を有する負極性の

走査パルスSPを発生し、これを行電極群S3に属する行電極Y2k+1~Ynへと順次印加して行く(画素データ書込行程W3)。かかる画素データ書込行程W3において、走査パルスSPが印加され、かつ高電圧の画素データパルスが印加された行電極群S3に属する放電セルにのみ放電(選択消去放電)が生起され、その放電セル内部に残存していた壁電荷が消滅する。つまり、上記一斉リセット行程R0において"発光セル"の状態に初期化された放電セルは、"非発光セル"に推移するのである。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルには上記選択消去放電は生起されないで、現在の状態が保持される。尚、上記画素データ書込行程W3において印加する上記画素データパルスOP及び走査パルスSPの各々は、図20のT1~T4に示されるように、上記ブライミング行程P4の直後は、そのパルス幅を短くし、時間経過と共に小さくして行く。

【0082】上記画素データ書込行程W3の実行後、第2サステインドライバ8は、維持パルスIPXをPOP10の行電極群S3に属する行電極X2k+1~Xnに同時印加する。その直後に第1サステインドライバ7は、正極性の維持パルスIPYをPOP10の行電極群S3に属する行電極Y2k+1~Ynに同時印加する(第1発光維持行程I13)。かかる第1発光維持行程I13の実行により、上記行電極群S3に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。

【0083】更に、かかる第1発光維持行程I13と同一時期に、第2サステインドライバ8は、正極性の維持パルスIPXをPOP10の行電極群S1に属する行電極X1~Xkに同時印加する。その直後に第1サステインドライバ7は、正極性の維持パルスIPYをPOP10の行電極群S1に属する行電極Y1~Ykに同時印加する(第2発光維持行程I31)。かかる第2発光維持行程I31の実行により、上記行電極群S1に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。

【0084】又、上記第1発光維持行程I13及び第3発光維持行程I31と同一時期に、第2サステインドライバ8は、正極性の維持パルスIPXをPOP10の行電極群S2に属する行電極Xk+1~X2kに同時印加する。これと同時に第1サステインドライバ7は、図20に示されるが如き正極性で低レベルのキャンセルパルスCPを行電極群S2に属する行電極Yk+1~Y2kに同時印加する。この際、上記キャンセルパルスCPが印加された行電極群S2に属する放電セルでは、放電は起らない。

【0085】上記サブフィールドSF1での第3発光維持行程I31が終了すると、アドレスドライバ6は、上記メモリ4から供給されたサブフィールドSF2に対応

した表示駆動データビットDB211-nm中から第1行~第k行に対応した分、つまりDB211-kmを抽出する。アドレスドライバ6は、かかるDB211-km各々の論理レベルに対応した電圧を有する画素データパルスを発生し、これを1行分毎の画素データパルス群OP1~OPkとして、順次列電極D1-mに印加して行く。第2サステインドライバ8は、これら画素データパルス群OP1~OPk各々に同期して、上記画素データパルスOPと同一パルス幅を有する負極性の走査パルスSPを発生し、これを上記行電極群S1に属する行電極Y1~Ykへと順次印加して行く(画素データ書込行程W1)。かかる画素データ書込行程W1において、走査パルスSPと同時に高電圧の画素データパルスが印加された行電極群S1に属する放電セルにのみ放電(選択消去放電)が生起され、その放電セル内部に残存していた壁電荷が消滅する。つまり、上記一斉リセット行程R0において"発光セル"の状態に初期化された行電極群S1に属する放電セルは、"非発光セル"に推移する。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルには上記選択消去放電は生起されず、上記一斉リセット行程R0にて初期化された状態、つまり"発光セル"の状態が保持される。

【0086】上記画素データ書込行程W1の実行後、第2サステインドライバ8は、正極性の維持パルスIPXをPOP10の行電極群S1に属する行電極X1~Xkに同時印加する。その直後に、第1サステインドライバ7は、正極性の維持パルスIPYをPOP10の行電極群S1に属する行電極Y1~Ykに同時印加する(第1発光維持行程I11)。かかる第1発光維持行程I11の実行により、上記行電極群S1に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。従って、上記画素データ書込行程W1での選択消去放電によって形成されたものの時間経過とともに減少してしまった荷電粒子は、上記2回分の維持放電によって再形成される。

【0087】上記サブフィールドSF2での第1発光維持行程I11と同一時期に、第2サステインドライバ8は、正極性の維持パルスIPXをPOP10の行電極群S2に属する行電極Xk+1~X2kに同時印加する。かかる維持パルスIPXの印加直後に、第1サステインドライバ7は、正極性の維持パルスIPYをPOP10の行電極群S2に属する行電極Yk+1~Y2kに同時印加する(第3発光維持行程I32)。かかる第3発光維持行程I32の実行により、上記行電極群S2に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。

【0088】サブフィールドSF2での第1発光維持行程I11、及びサブフィールドSF1での第3発光維持行程I32の終了後、アドレスドライバ6は、サブフィールドSF2に対応した上記表示駆動データビットDB

211-nmの中から第k+1行~第2k行に対応した分、つまりDB1(k+1),1~2k,nを抽出する。アドレスドライバは、このDB2(k+1),1~2k,n各々の論理レベルに対応した電圧を有する画素データパルスを発生し、これを1行分毎の画素データパルス群DPk+1~DP2kとして、順次列電極D1~mに印加して行く。第2サステインドライバは、これら画素データパルス群DPk+1~DP2k各々に同期して、上記画素データパルスDPと同一パルス幅を有する負極性の走査パルスSPを発生し、これを行電極群S2に属する行電極Yk+1~Y2kへと順次印加して行く(画素データ書込行程W2)。かかる画素データ書込行程W2において、走査パルスSPと同時に高電圧の画素データパルスが印加された行電極群S2に属する放電セルにのみ放電(選択消去放電)が生じられ、その放電セル内部に蓄積していた壁電荷が消滅する。つまり、上記一斉リセット行程R0において"発光セル"の状態に初期化された行電極群S2に属する放電セルは、"非発光セル"に推移する。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルには上記選択消去放電は生じられず、上記一斉リセット行程R0にて初期化された状態、つまり"発光セル"の状態が保持される。

【0089】上記画素データ書込行程W2の実行後、第2サステインドライバは、正極性の維持パルスIPXをPDP10の行電極群S1に属する行電極X1~Xkに同時印加する。その直後に、第1サステインドライバは、正極性の維持パルスIPYをPDP10の行電極群S1に属する行電極Y1~Ykに同時印加する(第4発光維持行程141)。かかる第4発光維持行程141の実行により、上記行電極群S1に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生じられる。

【0090】上記第4発光維持行程141と同時に、第2サステインドライバは、正極性の維持パルスIPXをPDP10の行電極群S2に属する行電極Xk+1~X2kに同時印加する。かかる維持パルスIPXの直後に、第1サステインドライバは、正極性の維持パルスIPYをPDP10の行電極群S2に属する行電極Yk+1~Y2kに同時印加する(第1発光維持行程112)。かかる第1発光維持行程112の実行により、上記行電極群S2に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生じられる。

【0091】更に、上記第4発光維持行程141と同時に、第2サステインドライバは、正極性の維持パルスIPXを行電極群S3に属する行電極X2k+1~Xnに同時印加する。かかる維持パルスIPXの印加直後に、第1サステインドライバは、正極性の維持パルスIPYを上記行電極群S3に属する行電極Y2k+1~Ynに同時印加する(第3発光維持行程133)。かかる第3発光維持行程133の実行により、上記行電極群S3に属し、か

つ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生じられる。

【0092】上記第4発光維持行程141、第1発光維持行程112及び第3発光維持行程133の実行後、アドレスドライバは、サブフィールドSF2に対応した表示駆動データビットDB211-nmの中から第2k+1行~第n行に対応した分、つまりDB2(2k+1),1~n,mを抽出する。アドレスドライバは、かかるDB2(2k+1),1~n,m各々の論理レベルに対応した電圧を有する画素データパルスを発生し、これを1行分毎の画素データパルス群DP2k+1~DPnとして順次列電極D1~mに印加して行く。第2サステインドライバは、これら画素データパルス群DP2k+1~DPn各々に同期して、上記画素データパルスDPと同一パルス幅を有する負極性の走査パルスSPを発生し、これを行電極群S3に属する行電極Y2k+1~Ynへと順次印加して行く(画素データ書込行程W3)。かかる画素データ書込行程W3において、走査パルスSPと同時に高電圧の画素データパルスが印加された行電極群S3に属する放電セルにのみ放電(選択消去放電)が生じられ、その放電セル内部に蓄積していた壁電荷が消滅する。つまり、上記一斉リセット行程R0において"発光セル"の状態に初期化された行電極群S3に属する放電セルは、"非発光セル"に推移する。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルには上記選択消去放電は生じられず、上記一斉リセット行程R0にて初期化された状態、つまり"発光セル"の状態が保持される。

【0093】上記画素データ書込行程W3の実行後、第1サステインドライバ7及び第2サステインドライバ8各々は、上記維持パルスIPX及びIPYを図2Qに示されるが如くPDP10の行電極Y1~Yn及びX1~Xnに交互に繰り返し印加する(第2発光維持行程12)。かかる第2発光維持行程12の実行により、PDP10における全放電セルの内の"発光セル"の状態にある放電セルのみに、繰り返し維持放電が生じられ、この維持放電に伴う発光が繰り返される。

【0094】上記第2発光維持行程12の実行後、次のサブフィールドSF3での画素データ書込行程W1が、上記サブフィールドSF1及びSF2の場合と同様に実施される。かかるサブフィールドSF3での画素データ書込行程W1の終了後、上記サブフィールドSF1及びSF2の場合と同様に、第1発光維持行程11が実施される。又、かかる第1発光維持行程11と同時に、第2サステインドライバ8は、正極性の維持パルスIPXをPDP10の行電極群S2に属する行電極Xk+1~X2kに同時印加する。かかる維持パルスIPXの印加直後に、第1サステインドライバ7は、正極性の維持パルスIPYをPDP10の行電極群S2に属する行電極Yk+1~Y2kに同時印加する(第3発光維持行程132)。かかる第3発光維持行程132の実行により、上記行電

極群S2に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。

【0095】更に、上記第3発光維持行程132と同時に、第2サステンドライバ8は、正極性の維持パルス1PXを行電極群S3に属する行電極X2k+1~Xnに同時印加する。かかる維持パルス1PXの印加直後に、第1サステンドライバ7は、正極性の維持パルス1PYを上記行電極群S3に属する行電極Y2k+1~Ynに同時印加する(第1発光維持行程113)。かかる第1発光維持行程113の実行により、上記行電極群S3に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。

【0096】上記第3発光維持行程132及び第4発光維持行程143の実行後、次のサブフィールドSF3での画素データ書込行程W2が実施される。上記サブフィールドSF3での画素データ書込行程W2の終了後、上記サブフィールドSF1及びSF2の場合と同様に、第4発光維持行程141及び第1発光維持行程112が実施される。

【0097】更に、かかる画素データ書込行程W2の終了後、第2サステンドライバ8は、正極性の維持パルス1PXを行電極群S3に属する行電極X2k+1~Xnに同時印加する。かかる維持パルス1PXの印加直後に、第1サステンドライバ7は、正極性の維持パルス1PYを上記行電極群S3に属する行電極Y2k+1~Ynに同時印加する(第3発光維持行程133)。かかる第3発光維持行程133の実行により、上記行電極群S3に属し、かつ"発光セル"の状態にある放電セルのみに、発光を伴う2回分の維持放電が生起される。

【0098】以上の如く、図20に示されるサブフィールドSF2内での動作を、サブフィールドSF3~SF13各々においても同様に実施する。尚、上記第2発光維持行程12において繰り返し印加する維持パルス1PX及び1PYの回数は、図21に示されるように、行電極群S1~S3のいずれに対しても、
SF2: 8
SF3: 16
SF4: 28
SF5: 36
SF6: 48
SF7: 60
SF8: 72
SF9: 84
SF10: 96
SF11: 108
SF12: 124
SF13: 136
である。

【0099】この際、図19及び図21に示されるように、1フィールドにおける最終のサブフィールドSF1

4の第2発光維持行程12において印加する維持パルス1PX及び1PYの回数は、行電極群S1~S3毎に異なっている。つまり、行電極群S1に対しては"152"回だけ印加し(第2発光維持行程121)、行電極群S2に対しては"154"回だけ印加し(第2発光維持行程122)、行電極群S3に対しては"156"回だけ印加する(第2発光維持行程123)。そして、サブフィールドSF14では、上記第2発光維持行程123の終了後、全放電セルに残留している重電荷を消去させる消去行程Eを実行する。

【0100】ここで、図21に示されるように、上記第1発光維持行程11、第2発光維持行程12、第3発光維持行程13、第4発光維持行程14各々での発光回数を加算したものが各サブフィールド内での総発光回数となる。この際、第1発光維持行程11、第3発光維持行程13及び第4発光維持行程14各々での発光回数は夫々2回であるから、サブフィールドSF1~SF14各々での総発光回数は、図21に示されるが如く、
SF1: 4
SF2: 12
SF3: 20
SF4: 32
SF5: 40
SF6: 52
SF7: 64
SF8: 76
SF9: 88
SF10: 100
SF11: 112
SF12: 128
SF13: 140
SF14: 156
となる。

【0101】尚、各サブフィールド内において上記の如き回数分の発光を実施させるか否か、つまり放電セルを"発光セル"に設定するのが、又は"非発光セル"に設定するのがは、図13に示される表示駆動データGDのデータパターンによって決定する。この表示駆動データGDによれば、図13の黒丸に示されるように、サブフィールドSF1~SF14の内の1つのサブフィールドでの画素データ書込行程Wにおいてのみで選択消去放電が生起されることになる。つまり、先頭サブフィールドSF1の一斉リセット行程R0にて形成された重電荷は上記選択消去放電が生起されるまでの間残留して"発光セル"の状態を維持するのである。従って、その間に存在するサブフィールド各々(白丸にて示す)での第1発光維持行程11~第4発光維持行程14において、発光を伴う維持放電が生起されることになる。この際、サブフィールドSF1~SF14各々で実施された維持放電の回数の総和が、1フィールドでの発光輝度として表現され

る。よって、図19に示される如き15種類の表示駆動データDによって得られる発光輝度は、サブフィールドSF1での発光輝度を"1"とした場合、{0, 1, 4, 9, 16, 27, 40, 56, 75, 97, 122, 151, 182, 217, 256}なる15階調分となる。

【0102】以上の如く、図19に示される発光駆動フォーマットを採用しても図14及び図18に示される発光駆動フォーマットと同様な15階調分の階調駆動が為される。又、これら図14及び図18に示される発光駆動フォーマットと同様に、1行電極群分に対する画素データ書き込行程の直前及び直後に夫々維持放電を生起させているので、定走パルスSP、画素維持パルスIP各々のパルス幅を短くすることが可能になる。

【0103】更に、図19に示される発光駆動フォーマットでは、第4発光維持行程14を設けることにより、1サブフィールド内において分散させて実施する各発光維持行程間の時間間隔を行電極群S1～S3のいずれに対する駆動時においても略同一にしている。よって、維持パルスIPの印加直前に放電セル内に残留している荷電粒子の量は、行電極群S1～S3のいずれに属する放電セル内でも略同一となるので、行電極群S1～S3各々が担う各画面傾斜中における維持放電に伴う発光輝度が略同一になる。従って、PDP10における画面上において均一な輝度を有する画像表示が為されるようになるのである。

【0104】ところが、図19に示される発光駆動フォーマットでは、上記一斉リセット行程R0の終了時点と、プライミング行程PC1～PC3各々の開始時点との時間間隔が行電極群S1～S3毎に異なっている。よって、プライミング行程PC1～PC3各々の開始直前に、各放電セル内に残留している荷電粒子の量は、行電極群S1～S3各々に属する放電セル間で異なる。従って、プライミング行程PC1～PC3各々で生起されるプライミング放電に伴う発光に輝度差が生じ、その結果、黒表示の際にPDP10の画面上部領域と下部領域とで輝度差が出てしまう。

【0105】そこで、かかる黒表示の際に生じる画面上の輝度差を防止すべく、図22(a)に示される発光駆動フォーマットと、図22(b)に示される発光駆動フォーマットとを1フィールド毎に交互に切り換えてPDP10に対する発光駆動を行う。尚、図22(a)は、図19に示される発光駆動フォーマットと同一であり、図22(b)は、図19に示される発光駆動フォーマットを元にその画面走査方向を逆に変更したものである。すなわち、図22(a)に示される発光駆動フォーマットでは第1行から第n行へと1行ずつ順次画素データの書き込を行っていたものを、図22(b)においては、第n行から第1行へとその画素データの書き込方向を逆に変えたのである。

【0106】図23は、かかる図22(b)に示される発

光駆動フォーマットに従って各行程内において印加する各種駆動パルスの印加タイミングを示す図である。尚、図23においては、図20に示されるものと同様にサブフィールドSF1及びSF2内での動作のみを抜粋して示すものである。この際、図23中の各行程内において印加する駆動パルスの種類、及びその駆動パルスの印加によって生起される放電の種類、並びに作用は、図20に示されるものと同一である。

【0107】図22に示される駆動によれば、PDP10の画面上部領域が下部領域よりも暗くなる状態と、画面上部領域の方が明るくなる状態とが1フィールド毎に切り替わるので、黒表示又は低輝度表示の際にも両者の輝度差は感じられなくなる。尚、図19及び図22のサブフィールドSF1内において実行しているプライミング行程PC1～PC3と、第1発光維持行程11～13とを省き、第3発光維持行程131～133各々で実行すべき維持放電の回数を4回にしても良い。この際、プライミング行程自体が無くなるので、当然、上述した如き黒表示の際の輝度差は生じなくなる。

【0108】

【発明の効果】以上詳述した如く、本発明においては、PDP10における複数の表衆ラインの内の1表示ライン群に対する画素データ書き込が終了する度に、その1表示ライン群に属する発光セルの各々に対して維持放電動作を実行するようにしている。よって、画素データ書き込の際に発生したものの時間経過とともに減少してしまった放電セル内の荷電粒子は上記維持放電によって再形成されるので、例えば、その後にPDPに印加すべき駆動パルスのパルス幅を短くしても誤放電が生じにくくなり、良好な画像表示が得られるようになる。

【図面の簡単な説明】

【図1】プラズマディスプレイ装置の概略構成を示す図である。

【図2】発光駆動フォーマットの一例を示す図である。

【図3】1サブフィールド内においてPDP10の列電極及び行電極に印加する駆動パルスの印加タイミングを示す図である。

【図4】本発明による駆動方法に従ってプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の概略構成を示す図である。

【図5】データ交換回路30の内部構成を示す図である。

【図6】第1データ交換回路32における交換特性を示す図である。

【図7】第1データ交換回路32における交換テーブルの一例を示す図である。

【図8】第1データ交換回路32における交換テーブルの一例を示す図である。

【図9】多階調処理化回路33の内部構成を示す図である。

【図 10】 誤差検出処理回路 330 の動作を説明するための図である。

【図 11】 ディザ処理回路 350 の内部構成を示す図である。

【図 12】 ディザ処理回路 350 の動作を説明するための図である。

【図 13】 第 2 データ変換回路 34 の変換テーブル及び発光駆動パターンを示す図である。

【図 14】 本発明による駆動方法に基づく発光駆動フォーマットの一例を示す図である。

【図 15】 図 14 に示される発光駆動フォーマットに従って PDP 10 の列電極及び行電極に印加する各種駆動パルスの印加タイミングの一部を示す図である。

【図 16】 サブフィールド SF1 ~ SF14 各々での維持放電回数を示す図である。

【図 17】 第 2 データ変換回路 34 の変換テーブル及び発光駆動パターンの他の一例を示す図である。

【図 18】 本発明による駆動方法に基づく発光駆動フォーマットの他の例を示す図である。

【図 19】 本発明による駆動方法に基づく発光駆動フォーマットの他の例を示す図である。

【図 20】 図 19 に示される発光駆動フォーマットに従って PDP 10 の列電極及び行電極に印加する各種駆動パルスの印加タイミングの一部を示す図である。

【図 21】 図 19 に示される発光駆動フォーマットに基づいてサブフィールド SF1 ~ SF14 各々で生じすべき維持放電回数を示す図である。

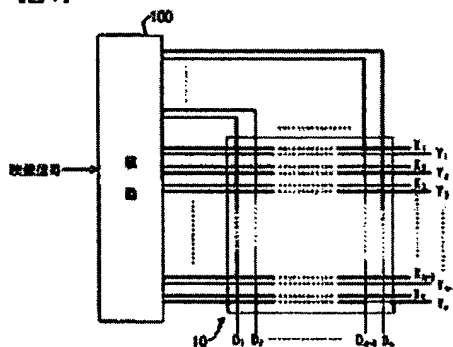
【図 22】 黒表示の際における画面上の輝度感を低減させる駆動方法を説明するための図である。

【図 23】 図 22(a) に示される発光駆動フォーマットに従って PDP 10 の列電極及び行電極に印加する各種駆動パルスの印加タイミングの一部を示す図である。

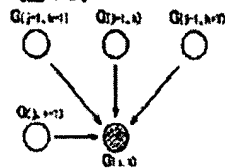
【主要部分の符号の説明】

- 2 駆動制御回路
- 6 アドレスドライバ
- 7 第 1 サステンドライバ
- 8 第 2 サステンドライバ
- 10 PDP

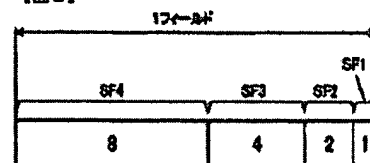
【図 1】



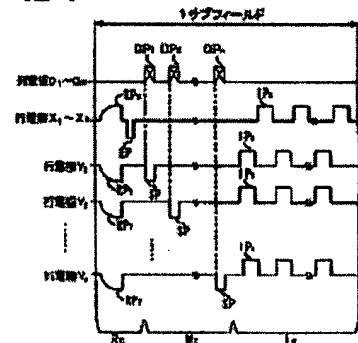
【図 10】



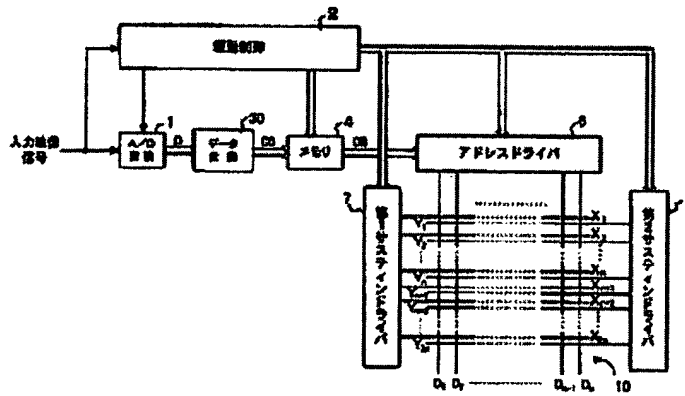
【図 2】



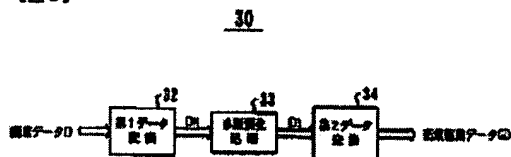
【図 3】



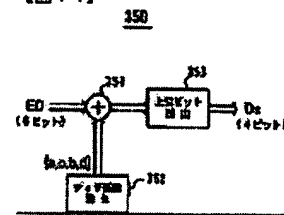
【図4】



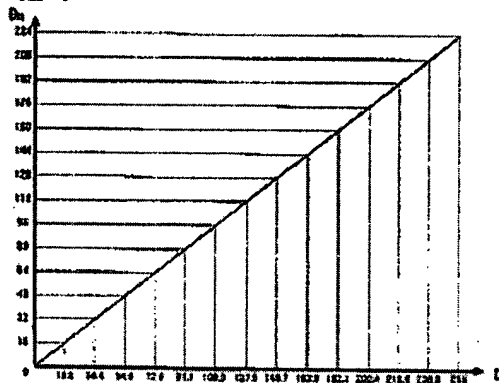
【図5】



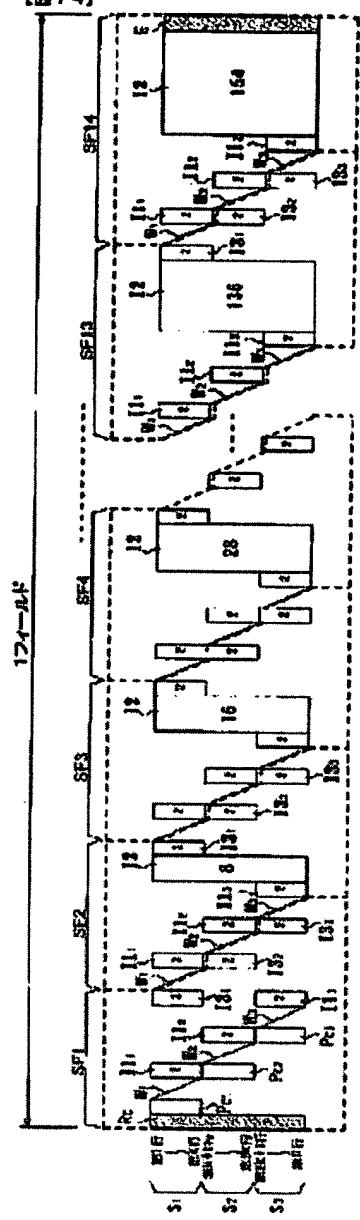
【図11】



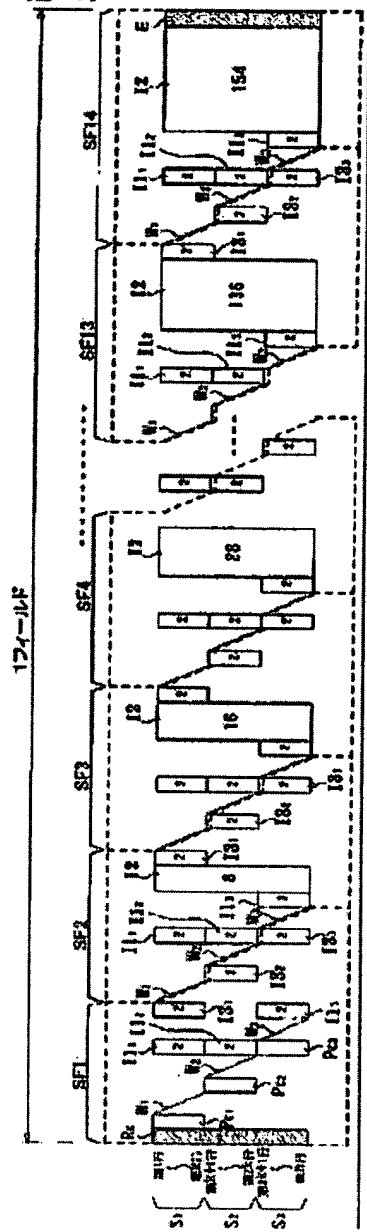
【図6】

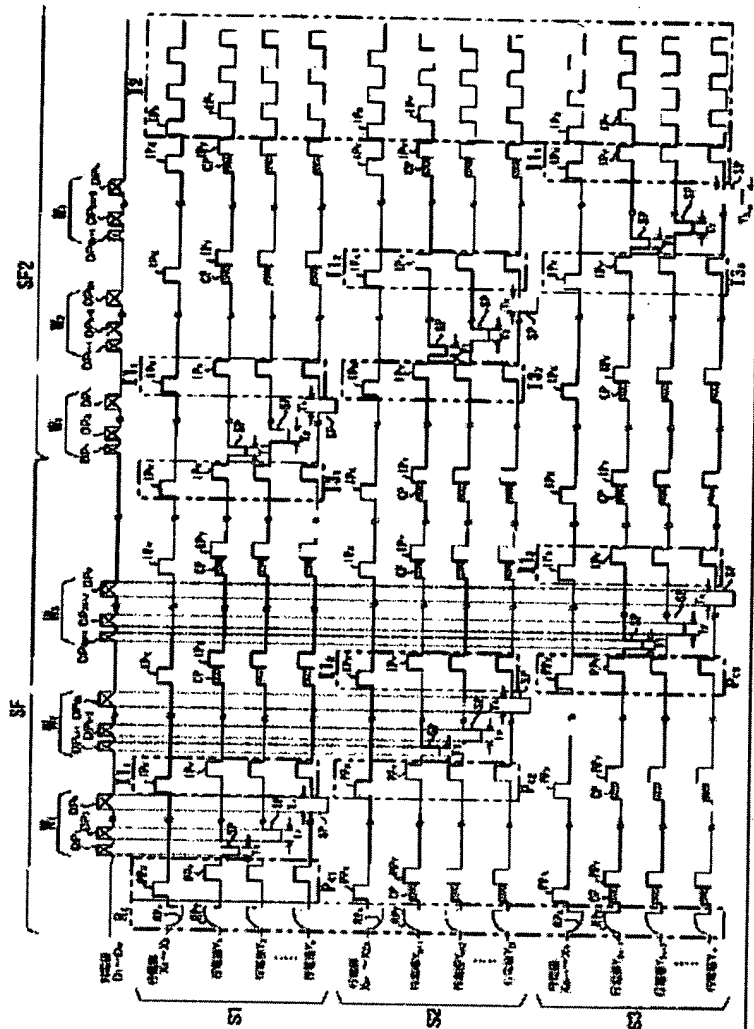


【図14】



【図15】





【図 17】

(補正表)

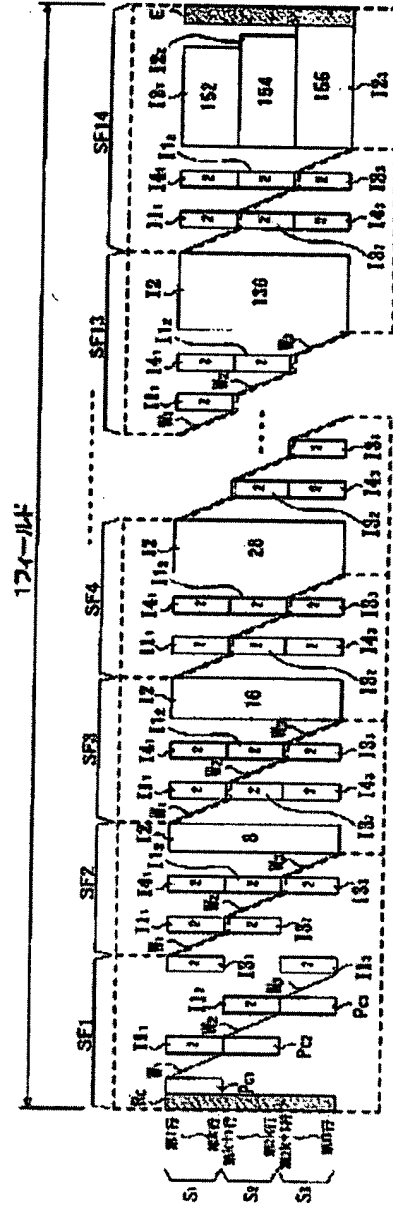
項目	D ₀	修正係数補正表の修正係数											12ビット長に拡張した修正係数											項目
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	
1	0000	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
2	0001	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	2
3	0010	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
4	0011	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	4
5	0100	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	8
6	0101	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	17
7	0110	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	27
8	0111	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	49
9	1000	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	58
10	1001	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	75
11	1010	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	97
12	1011	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	129
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	169
14	1101	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	193
15	1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	217
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	254

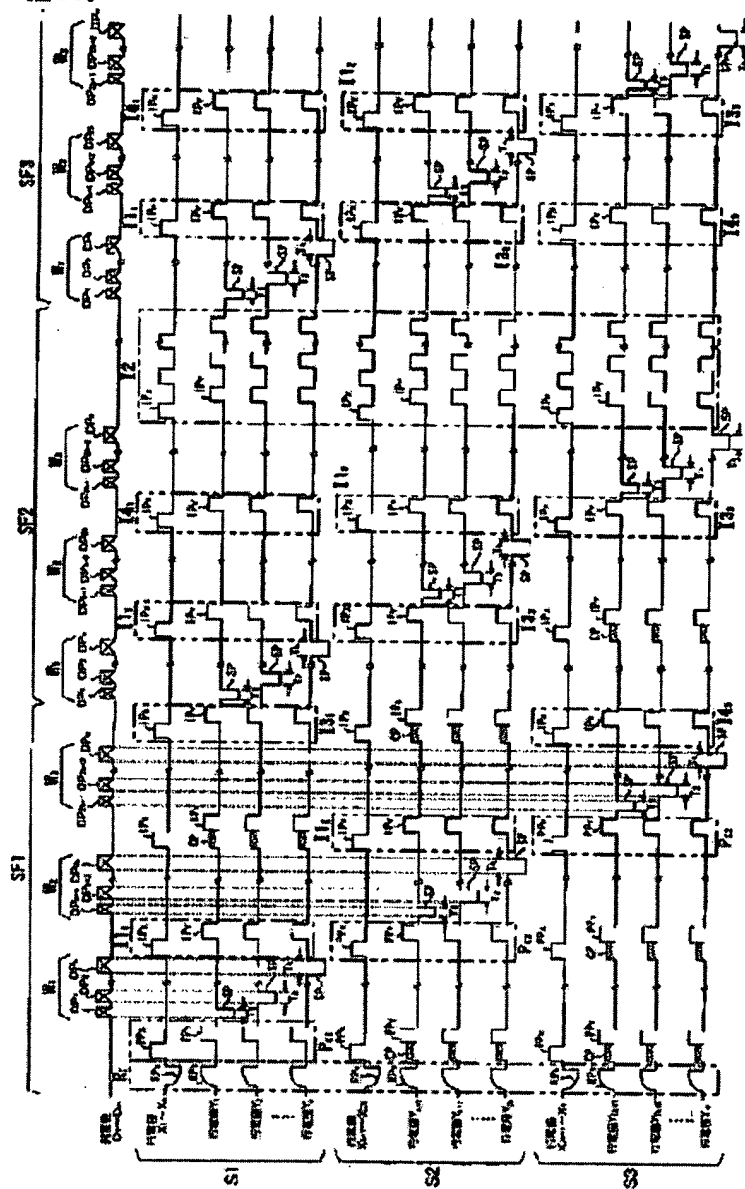
黒丸: 補正係数
白丸: 補正

【図 21】

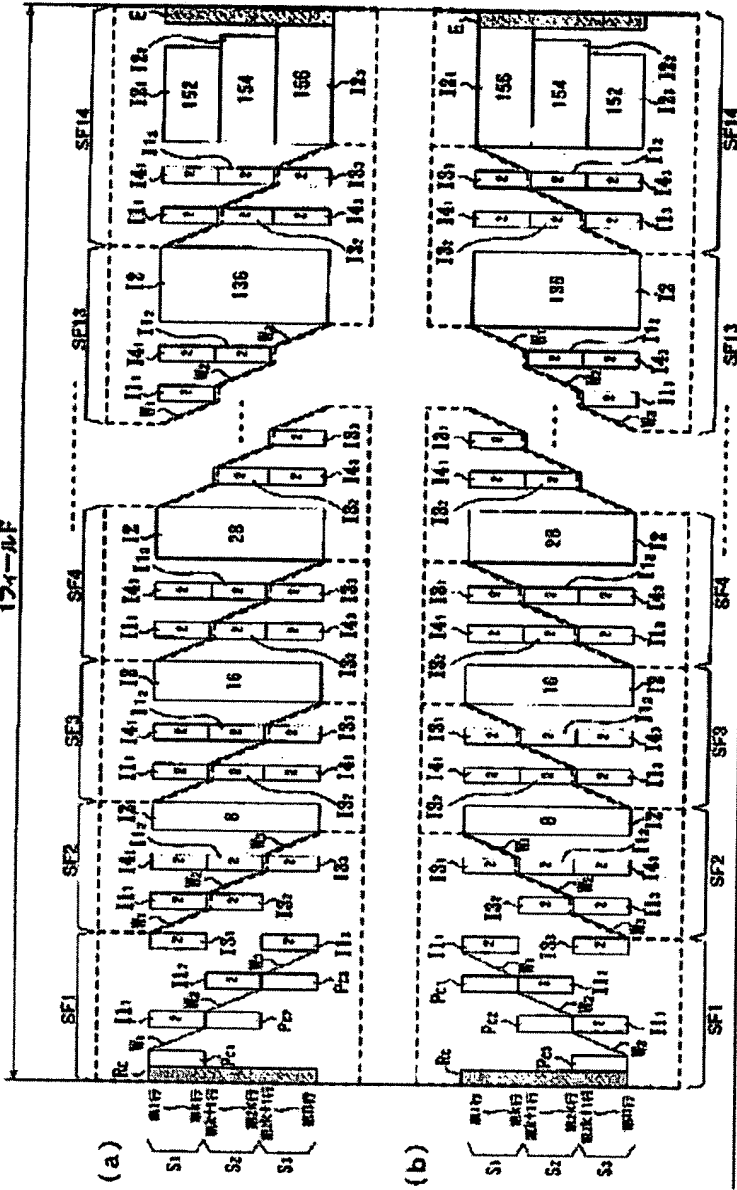
項目	D ₀	修正係数補正表の修正係数														項目
		SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12	SF13	SF14	
S1	11	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1
	12	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1
	13	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1
	14	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1
	補正係数	4	12	20	28	36	44	52	60	68	76	84	92	100	108	116
S2	11	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1
	12	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1
	13	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1
	14	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1
	補正係数	4	12	20	28	36	44	52	60	68	76	84	92	100	108	116
S3	11	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1
	12	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1
	13	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1
	14	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1
	補正係数	4	12	20	28	36	44	52	60	68	76	84	92	100	108	116

图 19

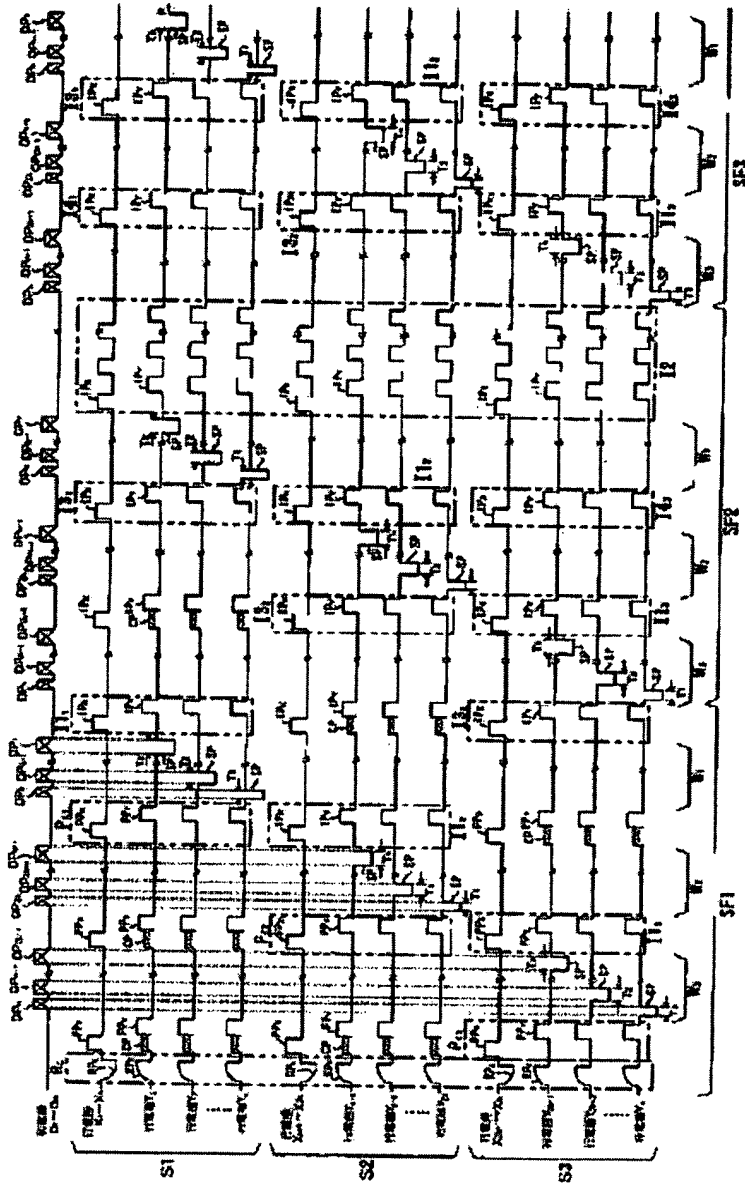




174-ルF



[20]



フロントページの続き

(72)発明者 三枝 信彦
山梨県中巨摩郡田代町西花輪2680番地 パ
イオニア株式会社内

Fターム(参考) 5C080 AA05 DD10 EE29 FF12 FF13
GG09 HH02 HH04 JJ02 JJ04
JJ05

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.